

PROGAMMIERBARER LOGIKBALLPENNE

Rolf Künzler

GRUNDLAGEN PROGRAMMIERBARER LOGIK

Mit dem Erscheinen erster programmierbarer Logikbausteine Mitte der achtziger Jahre reduzierte sich der Aufwand zur Realisierung von Schaltnetzen und Schaltwerken gegenüber herkömmlicher Logik drastisch. Dies bezieht sich nicht nur auf Platz- und Bauteileersparnis durch Zusammenfassung unterschiedlichster Funktionen in einem Baustein, sondern auch auf den Entwurfsprozeß, der durch die Anwendung hochentwickelter Synthesetools erheblich vereinfacht und fehler-sicherer wird.

Die **Vorteile** einer vollautomatischen Umsetzung vom Schaltnetz oder Schaltwerk in eine vorzuziehende Zieltechnologie sind dabei wie folgt zu sehen:

Für einen Vergleich können schnell verschiedene Realisierungsmöglichkeiten verglichen werden. Änderungen in der Aufgabe können einfach berücksichtigt werden. Die Synthese ist sehr fehlersicher.

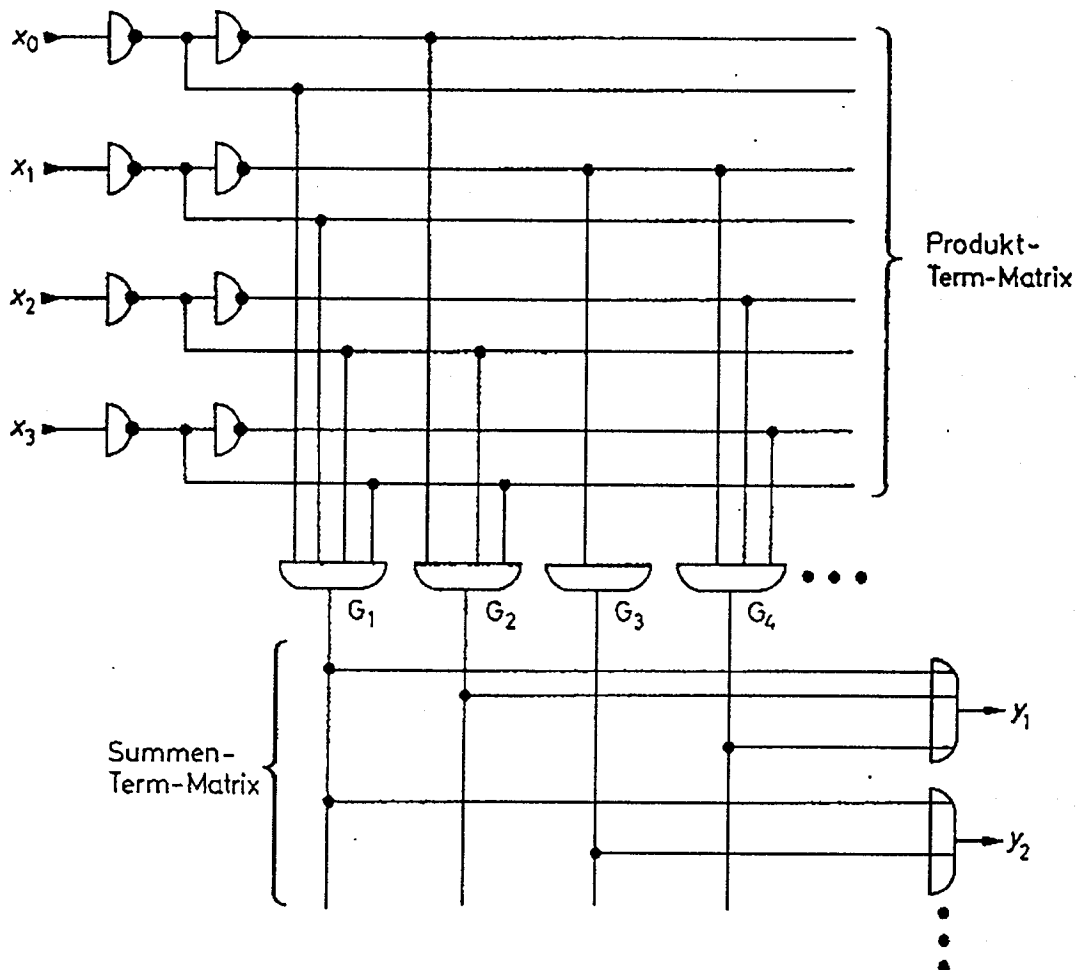
Dagegen stehen folgende **Nachteile**:

Programmierbare Logikbausteine bestehen aus Standardkomponenten. Daher kann nicht für jedes Problem die optimale Lösung gefunden werden. Eingriffe in den Syntheseprozess zur Beeinflussung der Lösung sind in der Regel nicht möglich.

PRINZIPIELLER AUFBAU PROGRAMMIERBARER LOGIKBAUSTEINE

Anwenderspezifische Logikschaltungen, meist als **PLDs (Programmable Logic Device)** bezeichnet, bestehen im allgemeinen aus folgenden Elementen:

Kern der PLDs ist die programmierbare **zweistufige Und/Oder-Logikmatrix**. Damit ist prinzipiell jede Logikfunktion realisierbar. Daneben enthalten sie Ein- und Ausgabeblocke sowie programmierbare Rückkopplungen.



Es lassen sich drei Grundstrukturen der Matrizen unterscheiden:

Bei der **PAL-Struktur (Programmable Array Logic)** ist die **Und-Ebene programmierbar**, die **Oder-Ebene fest verdrahtet**.

Bei der **PLA-Struktur (Programmable Logical Array)** sind **beide Ebenen der Matrix frei programmierbar**.

Bei der **PROM-Struktur (Programmable Read Only Memory)** ist die Und-Ebene fest verdrahtet und die Oder-Ebene programmierbar. Bausteine mit PROM-Architekturen werden meist als Speicher eingesetzt. Die Adressierung erfolgt in der fest verdrahteten, vollständig ausdecodierten Und-Ebene, in der programmierbaren Oder-Ebene werden die Daten beziehungsweise die logischen Funktionen abgelegt.

Der Eingabeblock enthält Eingangstreiber, die die Signale normal und invertiert in die Matrix führen. Der Ausgabeblock kann einfache Inverter als Treiber oder spezielle Ausgangsschaltungen, beispielsweise Registerausgänge oder bidirektionale Ausgänge enthalten. über die Rückkopplungen können diese bidirektionalen Ausgänge auch als Eingänge verwendet werden.

Wie die Schaltelemente in der Logikmatrix aufgebaut sind, hängt von der verwendeten Technologie, insbesondere an den Matrizenverbindungsstellen des PLD ab. Diese ist somit auch dafür entscheidend, ob der Baustein löschtbar ist und die Möglichkeit zur Umprogrammierung aufweist. Es lassen sich drei wesentliche Technologien angeben:

Bei **bipolar** aufgebauten PLDs werden während der Programmierung **Sicherungswiderstände** in den Matrizen physikalisch zerstört, sie sind daher nicht umprogrammierbar.

Bei PLDs, die auf der **ECMOS**-Technologie (Erasable Complementary Metal Oxid Semiconductor) basieren, werden Transistoren mit elektrisch isoliertem Floating Gate verwendet, in denen bei der Programmierung **Ladung gespeichert** werden kann. Dadurch können **Transistoren in den leitenden Zustand versetzt** und somit Verbindungen in der Logikmatrix programmiert werden. Die Ladungen können durch Bestrahlung **mit UV-Licht gelöscht** werden. Dies erfordert jedoch ein Quarzfenster im Gehäuse des Bauteils.

Eine weitere häufig verwendete Technologie ist der **EECMOS**-Prozess (Electrical Erasable CMOS). Das Löschen dieser Bausteine erfolgt durch Anlegen einer definierten Spannung an die EECMOS-Zellen.

ÜBERSICHT PROGRAMMIERBARER LOGIKBAUSTEINE

PLDs gehören neben Full-Custom-ICs, Standardzellen und Gate Arrays zur Familie der **ASICs** (Application Specific Integrated Circuit). Von diesen vier Gruppen sind nur die PLDs vom Anwender programmierbar, die übrigen Bausteinarten werden vom Halbleiterhersteller nach Kundenwunsch konfiguriert beziehungsweise gefertigt.

PROM-STRUKTUR

PROM (Programmable Read Only Memory)

PROMs sind in bipolaren Technologien hergestellte, nicht löschbare Speicherbausteine. Die Ausgänge sind rein kombinatorisch, es gibt keine internen Rückkopplungen.

EPROM (Erasable PROM)

EPROMs werden vorwiegend in CMOS-Technologie hergestellt, sind aber auch in NMOS-Technologie erhältlich.

Beim Programmieren gelangen Ladungen durch Elektronen-Injektion auf ein Floating-Gate. Die Löschung der Informationen kann durch Bestrahlung mit UV-Licht erfolgen. Hierzu enthalten die Keramikgehäuse ein Quarzfenster.

OTPROM (One Time PROM)

OTPROMs sind EPROMs im preisgünstigen Kunststoffgehäuse ohne Quarzfenster und daher nicht löschar.

EEPROM (Electrical Erasable PROM)

EEPROMs werden meist in elektrisch löscharer CMOS-Technologie hergestellt, sind aber auch in NMOS-Technologie erhältlich. Die Zellen haben etwa die dreifache Größe von EPROM-Zellen, der Platzbedarf ist also deutlich höher. Der Ladungsträgertransport beim Programmieren und Löschen erfolgt durch einen Tunnel-Prozeß.

Flash-EPROM

Die Technologie von Flash-EPROMs ist ähnlich der von EPROMs, zum Programmieren wird der Prozeß der Ladungsträger-Injektion, zum Löschen jedoch der von den EEPROMs stammende Tunnel-Prozeß angewendet. Die Zellen haben die 1,2...1,3-fache Größe von EPROM-Zellen.

PAL-STRUKTUR

PAL (Programmable Array Logic)

PALs stellen den Grundtyp des programmierbaren Standardarchitektur-Logikbausteins dar, sie sind erhältlich in bipolaren, ECMOS- oder EECMOS-Technologien. PALs werden mit kombinatorischen und/oder Registerausgängen, mit Tristate-, invertierenden oder nicht invertierenden Ausgängen angeboten. Weiterhin sind PALs mit konfigurierbaren Ausgangsmakrozellen identisch den **GALs** erhältlich.

Um dieses Typenspektrum unterscheiden zu können, verwendet man eine codierte Bezeichnung, zum Beispiel PAL16R8: Die erste Zahl gibt die Anzahl der Eingänge, die auf die Logikmatrix führen, an. Die letzte Zahl steht für die Anzahl der Ausgänge. Der mittlere Buchstabe unterscheidet den Ausgangstyp gemäß folgender Codierung:

R = Registerausgang
 H = Ausgang aktiv high
 L = Ausgang aktiv low
 P = Ausgang mit programmierbarer Polarität
 V = Variable Ausgangsmakrozellen

GAL (GENERIC ARRAY LOGIC)

GALs werden in elektrisch löschbarer CMOS-Technologie hergestellt und verfügen über neben der PAL-Architektur über universelle Ausgangsmakrozellen. Es gibt drei Basis-Typen von GALs: GAL16V8, GAL20V8, GAL22V10. Die Bezeichnung GALs entspricht der von PALs.

Durch die EECMOS-Technologie sind GALs mehr als 100-mal elektrisch löscht und umprogrammierbar. Aufgrund der konfigurierbaren Ausgangsmakrozellen sind GALs universell einsetzbar.

RAL (REPROGRAMMABLE ARRAY LOGIC)

Als **RALs** werden GAL-Bausteine mit vom Hersteller konfigurierten Ausgangsmakrozellen bezeichnet, die sich exakt wie PALs gleicher Typenbezeichnung verhalten und mit den für PALs erzeugten Datensätze programmiert werden können.

EPLD (ERASABLE PROGRAMMABLE LOGIC DEVICE)

EPLDs werden in UV-löschbarer CMOS-Technologie hergestellt. Sie verfügen über universelle Ausgangsmakrozellen mit programmierbaren Register-Typen. Die Logikdichte ist ebenfalls deutlich höher als bei PALs oder GALs.

GATE ARRAY / SEA-OF-GATES

Grosse Strukturen (bis 1'000'000 Gates) mit vorgefertigten Feldern, die nach Vorgabe der Anwendung verknüpft werden.

FPGA

(Field Programmable Gate Array)

Frei programmierbare Gatestruktur, die in beliebiger logischer Anordnung, also auch als komplizierte Schaltung, programmiert werden kann. Es können somit ganze Rechnerarchitekturen, die speziell auf eine Aufgabe zugeschnitten sind, ohne den Aufwand einer Maske, hergestellt werden. Damit öffnet sich ein weites Feld der Anwendungen.

LCA (LOGIC CELL ARRAY)

LCAs sind in CMOS-Technologie mit statischen RAM-Zellen hergestellt. Somit geht die Konfiguration beim Abschalten der Versorgungsspannung verloren, es ist ein zusätzliches EPROM erforderlich.

Die Struktur ist ähnlich den Gate Arrays mit konfigurierbaren Logikblöcken, die Verbindungen sind aber frei programmierbar.

Auswahlkriterien

Bei der Auswahl einer PLD-Architektur zu einer gegebenen Aufgabenstellung sind folgende Punkte zu beachten:

Die Anzahl von Ein- und Ausgängen des Bausteins muß an die Aufgabenstellung angepasst sein. Zu berücksichtigen sind auch noch zusätzliche Pins, die für die Realisierung von zustandsgesteuerten Automaten oder für Hilfsfunktionen nötig sind.

Zur Realisierung eines Schaltwerkes müssen Register und Rückführungen vorhanden sein. PLDs mit PROM-Struktur besitzen diese nicht und sind daher ungeeignet.

Für die Realisierung von Prototypen ermöglicht Umprogrammierbarkeit eine einfache Fehlerkorrektur.

Es sollte ein entsprechender Logik-Compiler zur Erstellung des Programmierfiles verfügbar sein sowie ein für den ausgewählten Baustein verwendbares Programmiergerät.

JEDEC - FORMAT

Zur Programmierung von PAL- und GAL-Bausteinen wird eine Datei im standardisierten **JEDEC-Format (Joint Electronic Device Engineering Council)** erstellt. Diese Datei enthält die Verbindungen der Logikmatrix, PLD-Typ, Hersteller, Prüfsumme, Sicherungsinformation, Signatur, ein Architekturkontrollwort und gegebenenfalls Testvektoren, mit denen das GAL nach erfolgter Programmierung auf korrekte Funktion überprüft werden kann. Die zu übertragenen Daten werden in Felder eingeteilt, wobei jedes Feld eine spezielle Kennzeichnung erhält. In diesen Feldern bedeutet die Ziffer 1, daß die entsprechende Zelle gelöscht bleiben und die Ziffer 0, daß die entsprechende Zelle programmiert werden soll.

ANWENDUNGEN

Für GALs ergibt sich ein weites Feld an Einsatzmöglichkeiten. Im einfachsten Fall sind sie in der Lage, Schaltungen mit etlichen TTL-Standard-Gattern zu ersetzen. Weiterhin können mit den drei GAL-Typen aufgrund ihrer universellen Ausgangsmakrozellen nahezu alle Schaltungen realisiert werden, für die früher, um für jede Anwendung das optimale PAL einzusetzen, eine Vielzahl von verschiedenen Typen erforderlich war. Somit kann durch Verwendung von GALs der Aufwand in der Lagerhaltung reduziert werden. Da GALs im Gegensatz zu bipolaren PALs umprogrammierbar sind, können insbesondere in der Entwicklungsphase die Materialkosten erheblich gesenkt werden. Die Grenzen der Realisation von Automaten sind durch folgende Randbedingungen vorgegeben:

Nur ein Takt für alle internen Flipflops

Begrenzte Zahl von Ein- und Ausgängen

Begrenzte Zahl von Produkttermen

In der Praxis werden GALs oft in der Umgebung von Mikroprozessoren oder Mikrocontrollern, beispielsweise als Adreßdecoder, verwendet. Durch ihre programmierbaren Register sind sie zudem in der Lage, einfache Schaltwerke zu implementieren.