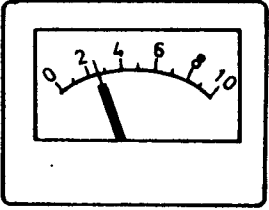
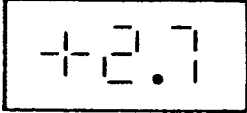
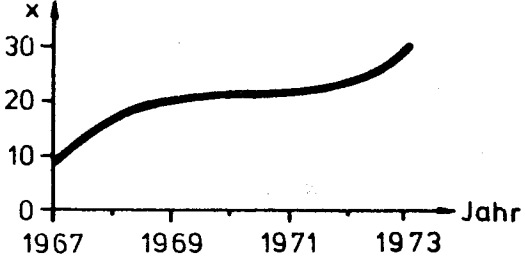
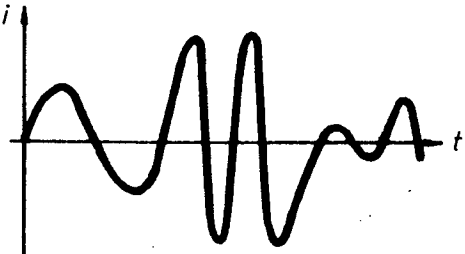

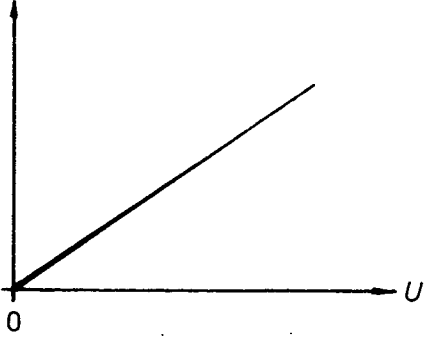
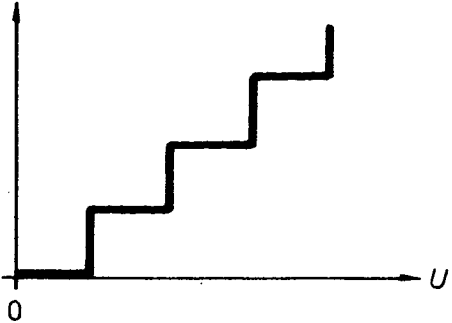


Analog	Digital										
											
	<table border="1" data-bbox="911 869 1358 981"> <thead> <tr> <th>Jahr</th> <th>1967</th> <th>1969</th> <th>1971</th> <th>1973</th> </tr> </thead> <tbody> <tr> <td>x</td> <td>8</td> <td>20</td> <td>22</td> <td>30</td> </tr> </tbody> </table>	Jahr	1967	1969	1971	1973	x	8	20	22	30
Jahr	1967	1969	1971	1973							
x	8	20	22	30							
											
<p>Analogwert</p> 	<p>Digitalwert</p> 										

Aufbau der Zahlensysteme

Dezimalsystem:

Basis: $B = 10$; Ziffern: 0, 1, 2, ..., 9

Stellenwertigkeiten:

10^3	10^2	10^1	10^0
1000	100	10	1
4	3	2	$1_{(10)} = 4 \cdot 10^3 + 3 \cdot 10^2 + 2 \cdot 10^1 + 1 \cdot 10^0$

Dualsystem:

Basis: $B = 2$; Ziffern: 0, 1

Stellenwertigkeiten:

2^3	2^2	2^1	2^0
8	4	2	1
1	0	0	$1_{(2)} = 1 \cdot 2^3 + 0 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 9_{(10)}$

Oktalsystem:

Basis: $B = 8$; Ziffern: 0, 1, 2, 3, 4, 5, 6 und 7

Stellenwertigkeiten:

8^3	8^2	8^1	8^0
512	64	8	1
7	2	5	$1_{(8)} = 7 \cdot 512 + 2 \cdot 64 + 5 \cdot 8 + 1 = 3753_{(10)}$

Sedezimalsystem:

Basis: $B = 16$; Ziffern: 0, 1, 2, ..., 9, A (10), B (11), C (12), D (13), E (14), F (15)

Stellenwertigkeiten:

16^2	16^1	16^0
256	16	1
2	D	$8_{(16)} = 2 \cdot 16^2 + 13 \cdot 16^1 + 8 \cdot 16^0 = 512 + 208 + 8 = 728_{(10)}$

Zahlen in verschiedenen Systemen:

dezimal		dual				oktal		sedezimal	
10^1	10^0	2^3	2^2	2^1	2^0	8^1	8^0	16^1	16^0
	0	0	0	0	0	0	0	0	0
	1	0	0	0	1	0	1	0	1
	2	0	0	1	0	0	2	0	2
	3	0	0	1	1	0	3	0	3
	4	0	1	0	0	0	4	0	4
	5	0	1	0	1	0	5	0	5
	6	0	1	1	0	0	6	0	6
	7	0	1	1	1	0	7	0	7
	8	1	0	0	0	1	0	0	8
	9	1	0	0	1	1	1	0	9

dezimal		dual				oktal		sedezimal		
10^1	10^0	2^4	2^3	2^2	2^1	2^0	8^1	8^0	16^1	16^0
1	0	0	0	0	1	0	1	0	0	B
1	1	0	0	0	1	1	1	3	0	C
1	2	0	0	1	0	0	1	4	0	D
1	3	0	0	1	0	1	1	5	0	E
1	4	0	1	0	0	0	1	6	0	F
1	5	0	1	0	1	0	1	7	1	A
1	6	0	1	1	0	0	2	0	1	B
1	7	0	1	1	1	0	2	1	1	C
2	8	1	1	1	0	0	3	1	1	8C

Aufbau der Zahlensysteme

Man erhält den Zahlenwert, wenn man jede Ziffer mit ihrem Stellenwert multipliziert und die so erhaltenen Produkte Addiert.

Die Wertigkeiten der Stellen werden gebildet durch die Potenzen zur Basis B.

Die erste Stelle links vom Komma bzw. die letzte Stelle bei ganzen Zahlen hat immer die Wertigkeit $B^0 = 1$.

Ein Zahlensystem zur Basis B benötigt B verschiedene Ziffern mit den Ziffernwerten $0-(B-1)$.

Die Wertigkeiten der Stellen hinter dem Komma werden durch die Potenzen zur Basis B mit negativen Exponenten gebildet:

$$0, \begin{array}{|c|c|c|} \hline 10^{-1} & 10^{-2} & 10^{-3} \\ \hline 1/10 & 1/100 & 1/1000 \\ \hline 1 & 2 & 5_{(10)} \\ \hline \end{array} = 0,125$$

$$0, \begin{array}{|c|c|c|} \hline 2^{-1} & 2^{-2} & 2^{-3} \\ \hline 1/2 & 1/4 & 1/8 \\ \hline 0 & 0 & 1_{(2)} \\ \hline \end{array} = 0,125_{(10)}$$

Bei der Darstellung eines Zahlenwertes in verschiedenen Zahlensystemen ergeben sich Zahlen mit unterschiedlicher Stellenzahl. Je kleiner die Basis des jeweiligen Systems ist, je kleiner also die Anzahl der verschiedenen Ziffern des Zahlensystems ist, desto weniger Stellen haben die Zahlen. Im Mittel beträgt die Stellenzahl der Dualzahlen das 3,3-fache der Dezimalzahlen, die Stellenzahl der Sedezimalzahlen das 0,83-fache der Dezimalzahlen.

Die höchste n-stellige Zahl zur Basis B ist: $Z_{\max} = B^n - 1$

Beispiele:

$$n = 5, B = 2; \quad Z_{\max} = 2^5 - 1 = 31_{(10)} = 11111_{(2)}$$

$$n = 3, B = 10; \quad Z_{\max} = 10^3 - 1 = 999_{(10)}$$

Da das Dualsystem nur zwei verschiedene Ziffern kennt, eignet es sich besonders für die automatische Verarbeitung von Daten. Es ist sehr einfach und damit sicher, zwei verschiedene Wertbereiche einer physikalischen Größe (z.B. Spannung, Strom, Widerstand, Frequenz) zu unterscheiden. Bei nur zwei Ziffern ist die Zahl der Rechenregeln klein, so daß sich einfache Rechenwerke ergeben.

3. Umwandlung von Dualzahlen in Oktal- und Sedezimalzahlen und umgekehrt

Da sowohl die Basis des Oktalsystems als auch die Basis des Sedezimalsystems Potenzen von 2 sind, lassen sich Zahlen aus diesen Systemen sehr leicht in Dualzahlen umwandeln und umgekehrt.

Man kann jeweils 3 Stellen einer Dualzahl (Triade) als Oktalziffer und jeweils 4 Stellen einer Dualzahl (Tetrade) als Sedezimalziffer schreiben.

Oktal-ziffer	Dual-zahl
0	000
1	001
2	010
3	011
4	100
5	101
6	110
7	111

Sede-zimal-ziffer	Dual-zahl	Sede-zimal-ziffer	Dual-zahl
0	0000	8	1000
1	0001	9	1001
2	0010	A	1010
3	0011	B	1011
4	0100	C	1100
5	0101	D	1101
6	0110	E	1110
7	0111	F	1111

Beispiele:

Dualzahl							Oktalzahl	Sedezimalzahl					
1	0	1	1	0	0	1	0	1	0	1	0	3452	B2A
				1	0	1	1	1	1	1	0	276	BE
						1	0	1	0	0	1	5A	29
										1	0	2	2
		0	1	1	1	0	1	1	1	1	1	3 5 7	EF
		1	1	0	0	1	0	1	0	0	0	6 2 4	194
		1	1	1	1	1	1	1	1	1	1	7 7 7	1 F F
1	0	1	0	0	0	0	1	0	0	1	0	5022	A 1 2
				1	0	1	0	0	0	1	1	121	5 1
				1	1	1	1	1	1	0	0	176	7 E

Oktal- und Sedezimalzahlen werden häufig als abkürzende Schreibweise für Dualzahlen verwendet.

Grundbegriffe

Codierung ist die Umwandlung einer Nachricht von einer Form in eine andere.

Der **Code** (Schlüssel) ist die Vorschrift, die bindend festlegt, welches Zeichen des einen Zeichenvorrats einem Zeichen des anderen Zeichenvorrats zuzuordnen ist.

Beispiel:	<u>Zeichenvorrat A</u>	<u>Zeichenvorrat B</u>
	0	0
	1	1
	2	10
	3	11
	4	100
	5	101

Die **Codezeichen** in der Digitaltechnik bestehen aus mehreren **Codeelementen**. Nach der Anzahl der verschiedenen Zustände, die ein Codeelement annehmen kann, unterscheidet man z. B.

- **Binärcodes** (z. B. die Dualzahlen; die Elemente können 2 verschiedene Zustände annehmen)
- **Ternärcodes** (z. B. die Trialzahlen; die Elemente können 3 verschiedene Zustände annehmen)
- **Denärcodes** (z. B. die Dezimalzahlen; die Elemente können 10 verschiedene Zustände annehmen)

In der Digitaltechnik werden überwiegend Binärcodes verwendet.

Ihre zweiwertigen Elemente werden **Bits** (binary digits; zweiwertige Schritte) genannt.

Die einzelnen Codezeichen eines Codes können alle gleich lang sein (gleich viel Zeichen enthalten) oder ungleich lang sein (z. B. Morse-Alphabet). In der Datenverarbeitung werden gleich lange Codezeichen verwendet.

Das **Byte** ist die Bezeichnung für 8 Bits. Es ist die Einheit für die heute üblicherweise in EDVA gemeinsam verarbeitete Informationsmenge. An die acht Informationsbits wird noch ein neuntes Bit für Prüzzwecke angehängt.

Ein **Wort** ist eine Zeichenfolge, die als Einheit betrachtet wird. Bei dem für das EWS vorgesehenen Datenverarbeitungssystem besteht ein Wort aus vier Bytes.

In der Datenverarbeitung wird die Vorsatzbezeichnung k (kilo) nicht für $10^3 = 1000$, sondern für $2^{10} = 1024$ verwendet.
 $3 \text{ kBytes} = 3072 \text{ Bytes}$.

Additive Codes und Minimalcodes

Bei einem **additiven (bewertbaren)** Code hat jede Stelle eine feste Wertigkeit. Man erhält den codierten Zahlenwert als Summe der Wertigkeiten der Stellen, deren Elemente im Zustand 1 sind. Additive Codes sind daher leicht lesbar.

Nichtadditive Codes werden als Anordnungscode bezeichnet.

Ein **Minimalcode** enthält das geringste Elemente je Zeichen, daß alle Nachrichten gerade dargestellt werden können. Enthält ein Code mehr Elemente je Zeichen als ein entsprechender Minimalcode, so ist er redundant weitschleifig.

$$\text{Redundanz } R = H_0 - H$$

$$\text{relative Redundanz } r = \frac{H_0 - H}{H_0}$$

H_0 = Zahl der verwendeten Elemente je Zeichen

H = Zahl der im Mittel mindestens erforderlichen Elemente je Zeichen

H = 3,3 bit bei 10 Informationen

Auch die Minimalcodes für die 10 Dezimalziffern sind redundant, da bei 4 Bit / Zeichen 32 Kombinationen möglich sind.

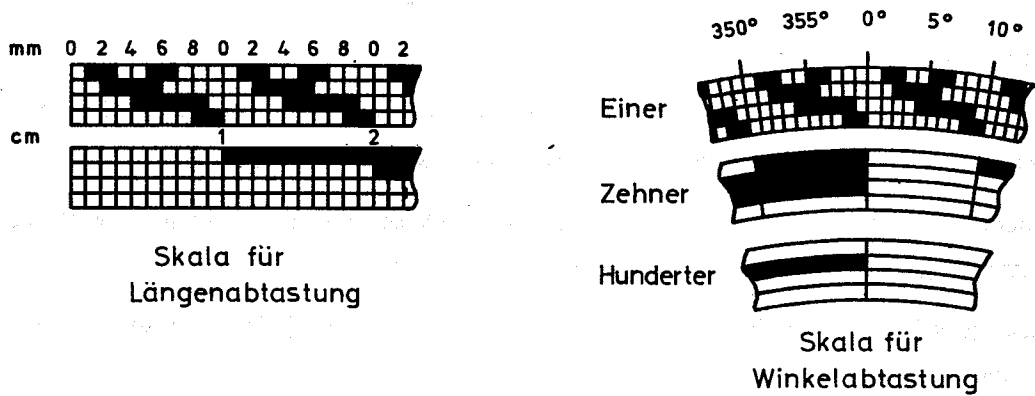
Die sechs nicht ausgenutzten werden als Pseudotetraden bezeichnet.

Wertigkeit	8-4-2-1-Code				Glixoncode				Walkingcode				Biquinärcode				1-aus-10-Code														
	8	4	2	1	-	-	-	-	-	-	-	-	5	0	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0		
0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	0	1	0	0	1	0	1	0	1	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	
2	0	0	1	0	0	0	1	1	0	0	1	1	0	0	1	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	
3	0	0	1	1	0	0	1	0	0	1	0	1	0	0	1	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	
4	0	1	0	0	0	1	1	0	0	1	1	0	0	0	1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	
5	0	1	0	1	0	1	1	1	1	0	1	0	0	1	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	
6	0	1	1	0	0	1	0	1	1	1	0	0	0	1	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	
7	0	1	1	1	0	1	0	0	0	1	0	0	1	1	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	
8	1	0	0	0	1	1	0	0	1	0	0	0	1	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	
9	1	0	0	1	1	0	0	0	1	0	0	1	0	1	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	
	additives minimal				nicht add.				add. nicht				add.				add.														
R	0,7 bit				0,7 bit				1,7 bit				3,7 bit				6,7 bit														
r	17,5 %				17,5 %				34 %				53 %				67 %														

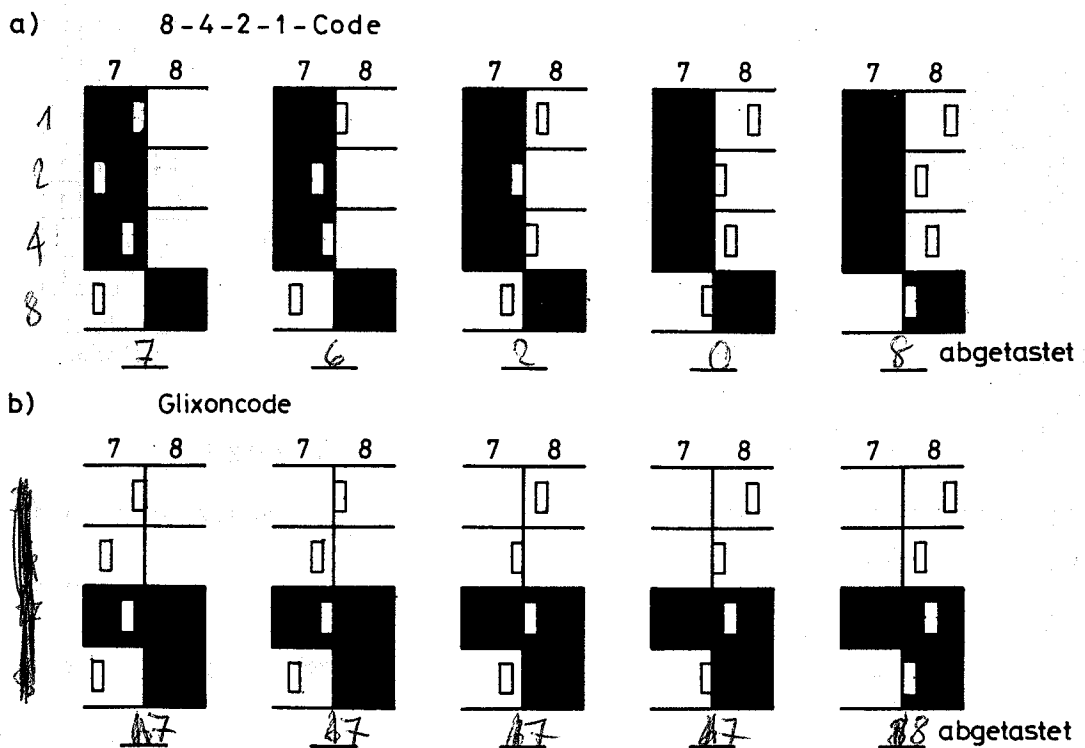
Einschrittige Codes

Bei **einschrittigen** Codes ändert beim Übergang von einer Dezimalziffer zur folgenden oder vorhergehenden immer nur 1 Bit seinen Zustand (s. Glixoncode, Arbeitsblatt A 1.9).

Wird in einem einschrittigen Code gezählt oder wird ein einschrittiger Code abgetastet, so können beim Übergang von einer Kombination zur nächsten keine sinnlosen Zwischenkombinationen entstehen.



Abtastung des Übergangs von 7 nach 8 bei versetzten Abtastarmen



Fehlererkennungs-codes

Wenn sich ungewollt der Zustand eines Elementes ändert, entsteht ein **Fehler**. Ein Fehler kann nur erkannt werden, wenn das durch den Fehler entstandene Zeichen nicht aussieht ist.

Die Zahl der Elemente, in denen sich zwei ausgenutzte Zeichen mindestens unterscheiden, bezeichnet man als **Hamming-Distanz**.

Bei **Fehlererkennungs-codes** muß die Hamming-Distanz ≥ 2 sein. **Fehlererkennung erfordert** Redundanz.

Man erhält Fehlererkennungs-codes, wenn man

- bei einem Minimalcode jedes Zeichen um ein Prüf- oder Paritätsbit so erweitert, daß die Zahl der Bits im Zustand 1 je Zeichen gerade ist (**gerade Parität**) oder ungerade ist (**ungerade Parität**),
- einer Anzahl von Zeichen (einem Zeichenblock) ein Prüfzeichen anhängt, das so gebildet wird, daß die Zahl der Bits im Zustand 1 je Spalte entweder überall gerade oder ungerade ist,
- gleichgewichtige Codes (m-aus-n-Codes) verwendet, bei denen jedes Zeichen die gleiche Zahl (m) von Bits im Zustand 1 enthält.

Fehlererkennung durch ein

Prüf- oder Paritätsbit je Zeichen

						Prüfbit	Zahl der „1“ je Zeichen
0	0	0	0	0	0	0	0
1	0	0	0	1	1	2	2
2	0	0	1	0	1	2	2
3	0	0	1	1	0	2	2
4	0	1	0	0	1	2	2
5	1	0	1	1	1	4	4
6	1	1	0	0	0	2	2
7	1	1	0	1	1	4	4
8	1	1	1	0	1	4	4
9	1	1	1	1	0	4	4

gerade Parität

Prüfzeichen je Zeichenblock

	0	1	0	0
	0	0	0	0
	1	1	0	0
	0	0	0	1
	1	1	1	1
	0	0	1	1
Prüfzeichen	0	1	0	1
	0	1	2	1

Zahl der „1“
je Spalte

Gleichgewichtige Codes

Beispiel: 2-aus-4-Code

Wertigkeit	3	2	1	0
0	1	0	0	1
1	0	0	1	1
2				
3				
4				
5				

Nur die 0 ist nicht additiv.

Fehlerarten

einzelne Fehler: 0 1 1 0 ¹0

oder 0 ⁰1 1 0 0

gleichsinnige Fehler: ¹0 1 1 0 ¹0

oder 0 ⁰1 ⁰1 0 0

gegensinnige Fehler: 0 ⁰1 1 0 ¹0
(komplementäre)

oder ¹0 1 ⁰1 0 0

Fehlerkorrekturcodes

Zur Fehlerkorrektur ist neben der Fehlererkennung auch eine Lokalisierung des Fehlers erforderlich, d.h., es muß auch festgestellt werden, welches Bit verfälscht ist.

1. Methode: Gleichzeitiger Einsatz von Prüfbit je Zeichen und Prüfzeichen je Zeichenblock

2. Methode: Code mit einer Hamming-Distanz von ≥ 3 verwenden und bei fehlerhaftem Zeichen auf das nächstliegende ausgenutzte Zeichen schließen

						Prüfbit
	0	1	0	0	1	
	0	0	0	0	0	
	1	0	0	0	0	
	0	0	0	1	1	
	1	1	1	1	0	
	0	0	1	1	0	
Prüfzeichen	0	1	0	1	0	

Zahl der „1“ je Spalte

Zahl der „1“ je Zeile

						Prüfbit
	0	1	0	0	1	
	0	0	0	0	0	
	1	1	0	1	0	
	0	0	0	1	1	
	1	0	1	1	0	
	0	0	1	1	0	
Prüfzeichen	0	1	0	1	0	

Zahl der „1“ je Spalte

Zahl der „1“ je Zeile

Bei zwei Fehlern im Zeichenblock ist keine eindeutige Lokalisierung möglich.

Code mit einer Hamming-Distanz von 3

	0	0	0
	0	0	1
A	0	1	0
	0	1	1
	1	0	0
B	1	0	1
	1	1	0
	1	1	1

Sender

Störung

Empfänger

0 1 0 (A)

0 1 1

0 1 1 von

0 1 0 1 Bit entfernt (A)

1 0 1 2 Bit entfernt (B)

also: 0 1 0

1 0 1 (B)

0 0 1

0 0 1 von

0 1 0 2 Bit entfernt (A)

1 0 1 1 Bit entfernt (B)

also: 1 0 1

8-4-2-1-Code

Ein **Wortcode** liegt vor, wenn eine Zahl als Ganzes codiert wird.

Beispiele: Dualzahlen, Graycode

Graycode

0	0
1	1
2	1 1
3	1 0
4	1 1 0
5	1 1 1
6	1 0 1
7	1 0 0
8	1 1 0 0
9	1 1 0 1
10	1 1 1 1
11	1 1 1 0
.	.

Mit einem **Zifferncode** wird eine Zahl codiert. Dabei ändert sich das Zahlensystem nicht. In der Praxis ist die **binäre Untercodierung von Dezimalzahlen** am häufigsten. Die hierfür verwendeten Codes werden als **BCD-Codes** (binary coded decimal code, Binärcode für Dezimalziffern) bezeichnet.

Der **8-4-2-1-Code** ist ein BCD-Code. Bei ihm sind die Dezimalziffern 0 bis 9 durch die Dualzahlen 0000 bis 1001 dargestellt.

8-4-2-1-Code

	8	4	2	1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Der Dezimalzahl 234 entspricht wortcodiert die Dualzahl 1 1 1 0 1 0 1 0, im 8-4-2-1-Code binär untercodiert sieht sie folgendermaßen aus:

00101001101000

Der 8-4-2-1-Code ist ein additiver Minimalcode, der überwiegend in Zählern verwendet wird. Für das Rechnen hat er folgende Nachteile:

- Übertrag bei 16 statt bei 10,
- keine einfache Bildung des Neuerkomplements.

Aiken- und Drei-Exzeß-Code

Während der 8-4-2-1-Code die ersten 10 der 16 möglichen Kombinationen ausnutzt, liegen beim **Aiken-** und **Drei-Exzeß-Code** die 10 Dezimalziffern symmetrisch zur Mitte der 16 Kombinationen. Dadurch ergibt sich bei diesen Codes das Neunerkomplement einfach durch Negation aller Stellen.

Der Aikencode ist additiv; die Stellenwertigkeiten betragen 2, 4, 2, 1.

Beim Drei-Exzeß-Code ist $x + 3$ dual dargestellt. Er ist daher ein leicht lesbarer Anordnungscode. Außerdem vermeidet er die Kombinationen und, die leicht durch Störungen auftreten können.

8-4-2-1-Code	<u>8 4 2 1</u>	Aiken-code	Drei-Exzeß-Code
0	0 0 0 0	0	—
1	0 0 0 1	1	—
2	0 0 1 0	2	—
3	0 0 1 1	3	0
4	0 1 0 0	4	1
5	0 1 0 1		2
6	0 1 1 0		3
7	0 1 1 1		4
8	1 0 0 0		5
9	1 0 0 1		6
	1 0 1 0		7
	1 0 1 1	5	8
	1 1 0 0	6	9
	1 1 0 1	7	—
	1 1 1 0	8	—
	1 1 1 1	9	—

Mitte

= Pseudoternäre

		8-4-2-1-Code	Aiken-code	Drei-Exzeß-Code
Dezimalziffer	3	0 0 1 1	0 0 1 1	0 1 1 0
Neunerkomplement	6	0 1 1 0	1 1 0 0	1 0 0 1
Dezimalziffer	1	0 0 0 1	0 0 0 1	0 1 0 0
Neunerkomplement	8	1 1 0 0	1 1 1 0	1 0 1 1
Dezimalziffer	5	0 1 0 1	1 0 1 1	1 0 0 0
Neunerkomplement	4	0 1 0 0	0 1 0 0	0 1 1 1

Korrekturregeln für das Rechnen mit BCD-Codes

8-4-2-1-Code:

Entsteht bei der Addition eine Pseudotetrade oder ein Übertrag, so muß eine 6 (0110) zum Ergebnis addiert werden.

Aikencode:

Entsteht bei der Addition eine Pseudotetrade ohne Übertrag, so muß eine 6 (0110) addiert, bei einer Pseudotetrade mit Übertrag subtrahiert werden.

Drei-Exzeß-Code:

Entsteht bei der Addition kein Übertrag, so ist eine 3 (0011) zu subtrahieren; entsteht ein Übertrag, so ist sie zu addieren.

Beispiele:

Dezimal	8-4-2-1-Code	Aikencode	Drei-Exzeß-Code
9 + 3 --- 12	<pre> 1 0 0 1 + 0 0 1 1 ----- + Korr. ----- Δ </pre>	<pre> 1 1 1 1 + 0 0 1 1 ----- Δ Δ </pre>	<pre> 1 1 0 0 + 0 1 1 0 ----- + Korr. ----- Δ </pre>
4 + 2 --- 6	<pre> 0 1 0 0 + 0 0 1 0 ----- Δ </pre>	<pre> 0 1 0 0 + 0 0 1 0 ----- + Korr. ----- Δ </pre>	<pre> 0 1 1 1 + 0 1 0 1 ----- - Korr. ----- Δ </pre>
5 + 8 --- 13	<pre> 0 1 0 1 + 1 0 0 0 ----- + Korr. ----- Δ </pre>	<pre> 1 0 1 1 + 1 1 1 0 ----- - Korr. ----- Δ </pre>	<pre> 1 0 0 0 + 1 0 1 1 ----- + Korr. ----- Δ </pre>

2-aus-5-Codes

Von den 32 Kombinationen, die bei 5stelligen Binärzeichen möglich sind, enthalten gerade zehn jeweils zwei Elemente im Zustand 1. Diese zehn Kombinationen bieten sich für die Darstellung der zehn Dezimalziffern an. Von der großen Zahl der möglichen Zuordnungen werden am häufigsten der **7-4-2-1-0-Code**, der **Walkingcode** und der **8-4-2-1-0-Code** verwendet.

Diese **2-aus-5-Codes** bieten bei nur einem Bit je Zeichen Mehraufwand eine einfache Möglichkeit zur

0	0	0	0	0
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
0	1	1	1	1

1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	0	1	1
1	1	1	0	0
1	1	1	0	1
1	1	1	1	0
1	1	1	1	1

	7-4-2-1-0-Code				
	7	4	2	1	0
0*	1	1	0	0	0
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	0
6	0	1	1	0	0
7	1	0	0	0	1
8	1	0	0	1	0
9	1	0	1	0	0

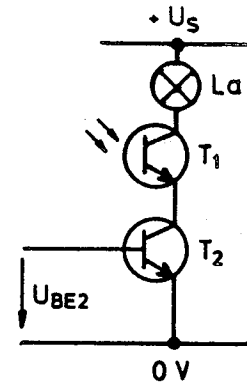
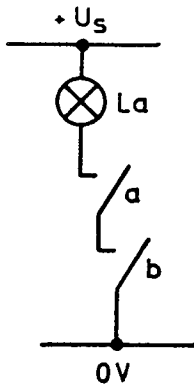
	Walkingcode				
	-	-	-	-	-
0	0	0	0	1	1
1	0	0	1	0	1
2	0	0	1	1	0
3	0	1	0	1	0
4	0	1	1	0	0
5	1	0	1	0	0
6	1	1	0	0	0
7	0	1	0	0	1
8	1	0	0	0	1
9	1	0	0	1	0

	8-4-2-1-0-Code				
	8	4	2	1	0
0	1	0	1	0	0
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	0
6	0	1	1	0	0
7*	1	1	0	0	0
8	1	0	0	0	1
9	1	0	0	1	0

* hier gelten die Wertigkeiten nicht

Bezeichnung	Formel				
Rechenregeln für zwei und mehr Variable					
Kommutativ-Gesetz (Vertauschungsgesetz)	$A \vee B = B \vee A$ $A \wedge B = B \wedge A$				
Assoziativ-Gesetz (Zusammenfassungsgesetz)	$A \vee B \vee C = A \vee (B \vee C) = (A \vee B) \vee C = B \vee (A \vee C)$ $A \wedge B \wedge C = A \wedge (B \wedge C) = (A \wedge B) \wedge C = B \wedge (A \wedge C)$				
Distributiv-Gesetz (Verteilungsgesetz)	$(A \vee B) \wedge (A \vee C) = A \vee (B \wedge C)$ $(A \wedge B) \vee (A \wedge C) = A \wedge (B \vee C)$ $(A \vee C) \wedge (B \vee C) \wedge (A \vee D) \wedge (B \vee D) = (A \wedge B) \vee (C \wedge D)$ $(A \wedge C) \vee (B \wedge C) \vee (A \wedge D) \vee (B \wedge D) = (A \vee B) \wedge (C \vee D)$				
De Morgansches Gesetz (Regeln für die Negation ganzer Ausdrücke)	$\overline{A \vee B} = \overline{A} \wedge \overline{B}$ $A \vee B = \overline{\overline{A} \wedge \overline{B}}$ $\overline{A \wedge B} = \overline{A} \vee \overline{B}$ $A \wedge B = \overline{\overline{A} \vee \overline{B}}$				
Kürzen und Vereinfachen von Gleichungen	$A \vee (A \wedge B) = A$ $A \wedge (A \vee B) = A$ $A \vee (\overline{A} \wedge B) = A \vee B$ $A \wedge (\overline{A} \vee B) = A \wedge B$ $(A \vee B) \wedge (A \vee \overline{B}) = A$ $(A \wedge B) \vee (A \wedge \overline{B}) = A$				
Rechnen mit Dualzahlen					
Addition	A + B	Summe	Übertrag auf die nächsthöhere Stelle		
	0+0	= 0	0		
	0+1	= 1	0		
	1+0	= 1	0		
	1+1	= 0	1		
	1+1+1	= 1	1		
Subtraktion	A - B	Differenz	Übertrag auf die nächsthöhere Stelle		
	0-0	= 0	0		
	0-1	= 1	-1		
	1-0	= 1	0		
	1-1	= 0	0		
	0-1-1	= 0	-1		
	1-1-1	= 1	-1		
Multiplikation	A · B	Produkt	Division	A : B	Quotient
	0 · 0	= 0		0 : 1	= 0
	0 · 1	= 0		1 : 1	= 1
	1 · 0	= 0			
	1 · 1	= 1			

Begriffe zur Schaltalgebra



Kontakt a betätigt?	Kontakt b betätigt?	Lampe L_a brennt?
nein	nein	—
nein	ja	—
ja	nein	—
ja	ja	✓

Transistor T_1 beleuchtet?	$U_{BE2} \geq 0,6 \text{ V}$?	Lampe L_a brennt?
nein	nein	
nein	ja	
ja	nein	
ja	ja	✓

Beide Schaltungen realisieren mit unterschiedlichen Mitteln die gleiche Funktion: Die Lampe L_a brennt nur dann, wenn erfüllt sind, d.h., die Ausgangsgröße (Zustand der Lampe) hängt bei beiden Schaltungen in gleicher Form von den Eingangsgrößen (Kontaktstellungen, Transistoransteuerungen) ab.

Soll wie in der Schaltalgebra nur diese Funktion unabhängig von der technischen Realisierung betrachtet werden, so nennt man die Ein- und Ausgangsgrößen allgemein **Schaltvariable**.

Eine **binäre Schaltvariable** ist also eine Veränderliche. Die beiden Zustände, die sie annehmen kann, werden mit 0 und 1 bezeichnet.

Die Abhängigkeit der Schaltvariablen am Ausgang von den Schaltvariablen an den Eingängen wird als **Schaltfunktion** oder **Verknüpfung** bezeichnet.

UND-Funktion

1. Wahrheitstabelle

A	B	Z
0	0	
0	1	
1	0	
1	1	

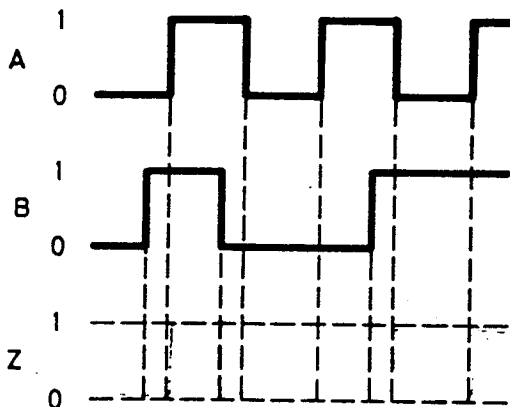
Der Ausgang Z einer UND-Funktion (Konjunktion) ist im Zustand 1, wenn der Eingang A _____ der Eingang B _____ im Zustand 1 sind.

Die Wahrheitstabelle der UND-Funktion stellt auch die Rechenregeln für die _____ von Dualzahlen dar.

2. Schaltalgebraische Darstellung

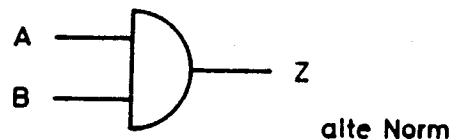
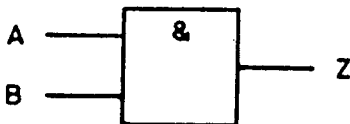
$Z = \underline{\hspace{2cm}} = \text{A} \cdot \text{B} = \underline{\hspace{2cm}}$ (gelesen: Z gleich A und B)

3. Zustandsdiagramm

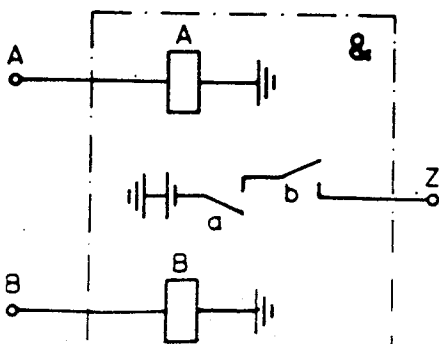


Sobald bei einer UND-Funktion ein Eingang auf 0 liegt, besteht am Ausgang der Zustand ____.

4. Funktionssymbole



5. Beispiel für eine Realisierung: UND-Schaltung mit Relais



Der Ausgang Z führt nur dann Spannung, wenn am Eingang A _____ am Eingang B _____ Spannung anliegt.

ODER-Funktion

1. Wahrheitstabelle

A	B	Z
0	0	
0	1	
1	0	
1	1	

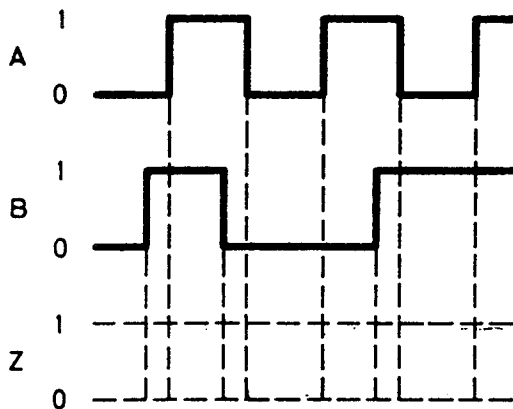
Der Ausgang Z einer ODER-Funktion (Disjunktion) ist im Zustand 1, wenn der Eingang A _____ der Eingang B _____ beide im Zustand 1 sind.

Die Wahrheitstabelle der ODER-Funktion stellt auch mit Ausnahme der letzten Zeile die Rechenregeln für die _____ von Dualzahlen dar.

2. Schaltalgebraische Darstellung

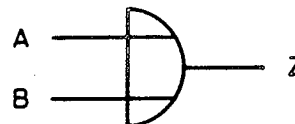
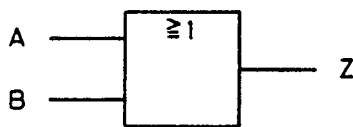
$Z = \underline{\hspace{2cm}} = \underline{A + B}$ (gelesen: Z gleich A oder B)

3. Zustandsdiagramm



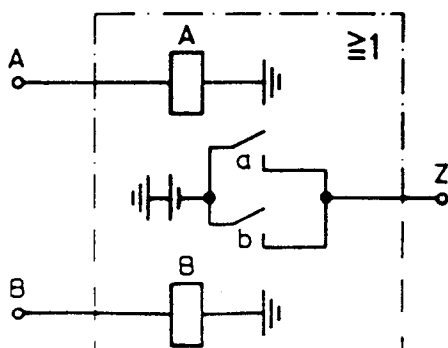
Sobald bei einer ODER-Funktion ein Eingang auf 1 liegt, besteht am Ausgang der Zustand _____

4. Funktionssymbole



alte Norm

5. Beispiel für eine Realisierung: ODER-Schaltung mit Relais



Der Ausgang Z führt nur dann Spannung, wenn am Eingang A _____ am Eingang B _____ an beiden Spannung anliegt.

NICHT-Funktion

1. Wahrheitstabelle

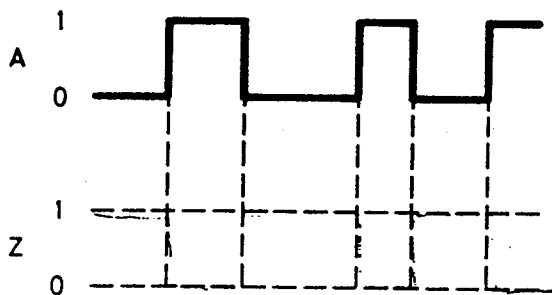
A	Z
0	
1	

Der Ausgang Z einer NICHT-Funktion (Negation) ist im Zustand 1, wenn der Eingang A auf ____ liegt und _____.

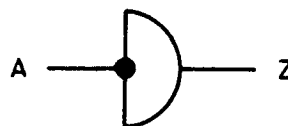
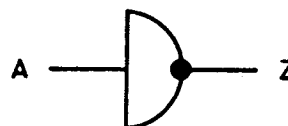
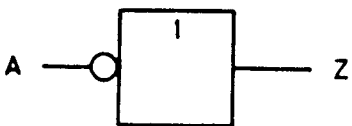
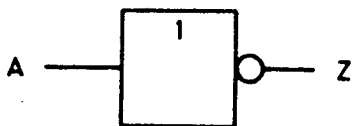
2. Schaltalgebraische Darstellung

$Z = \text{_____}$ (gelesen: Z gleich nicht A)

3. Zustandsdiagramm

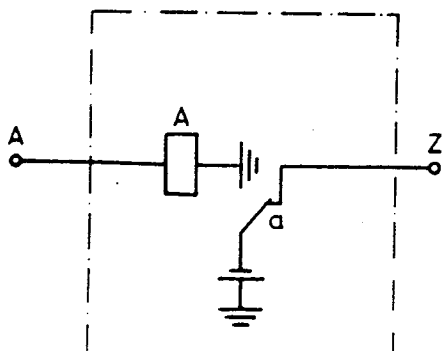


4. Funktionssymbole



alte Norm

5. Beispiel für eine Realisierung: NICHT-Schaltung mit Relais



Der Ausgang Z führt nur dann Spannung, wenn der Eingang A _____ ist und _____.

Gesetze der Schaltalgebra

Zusammenstellung

UND-

$$0 \wedge 0 = 0 \quad ^*)$$

$$0 \wedge 1 = 0$$

$$1 \wedge 0 = 0$$

$$1 \wedge 1 = 1$$

ODER-

$$0 \vee 0 = 0$$

$$0 \vee 1 = 1$$

$$1 \vee 0 = 1$$

$$1 \vee 1 = 1$$

NICHT-Verknüpfung

$$\bar{0} = 1$$

$$\bar{1} = 0$$

1. Die kommutativen Gesetze

$$AB = BA$$

$$A \vee B = B \vee A$$

Die Schaltvariablen sind bei UND- und ODER-Verknüpfungen vertauschbar.

2. Die assoziativen Gesetze

$$A(BC) = (AB)C = (AC)B = ABC$$

$$A \vee (B \vee C) = (A \vee B) \vee C = (A \vee C) \vee B = A \vee B \vee C$$

Bei einer UND- und einer ODER-Verknüpfung von mehr als zwei Schaltvariablen muß die Verknüpfung von allen Variablen nicht zusammen vorgenommen werden, sie kann auch stufenweise nacheinander in beliebiger Reihenfolge erfolgen.

3. Die distributiven Gesetze

$$AB \vee AC = A(B \vee C)$$

Bei einer ODER-Verknüpfung von zwei UND-Verknüpfungen kann eine in beiden UND-Verknüpfungen gemeinsame Variable ausgeklammert werden.

$$(A \vee B)(A \vee C) = A \vee BC$$

Bei einer UND-Verknüpfung von zwei ODER-Verknüpfungen kann eine in beiden ODER-Verknüpfungen gemeinsame Variable ausgeklammert werden.

*) An dieser Stelle wird aus Gründen der Übersichtlichkeit das ausführliche UND-Symbol verwendet.

4. Die Kombinationen aus einer Schaltvariablen, ihrer Negation und Konstanten (Absorptionsgesetze)

$$A \wedge A = A$$

$$A \vee A = A$$

$$A \wedge 1 = A$$

$$A \vee 1 = 1$$

$$A \wedge 0 = 0$$

$$A \vee 0 = A$$

$$A \wedge \bar{A} = 0$$

$$A \vee \bar{A} = 1$$

Das Ergebnis einer UND-Verknüpfung oder einer ODER-Verknüpfung einer Variablen mit sich selbst, ihrer Negation oder einer Konstanten ist die Variable selbst oder eine Konstante.

5. Die doppelte NICHT-Funktion

$$\bar{\bar{A}} = A \quad (\text{gelesen: nicht nicht A gleich A})$$

Die doppelte NICHT-Funktion hebt sich auf.

6. De Morgansche Gesetze

$$\overline{AB} = \bar{A} \vee \bar{B}$$

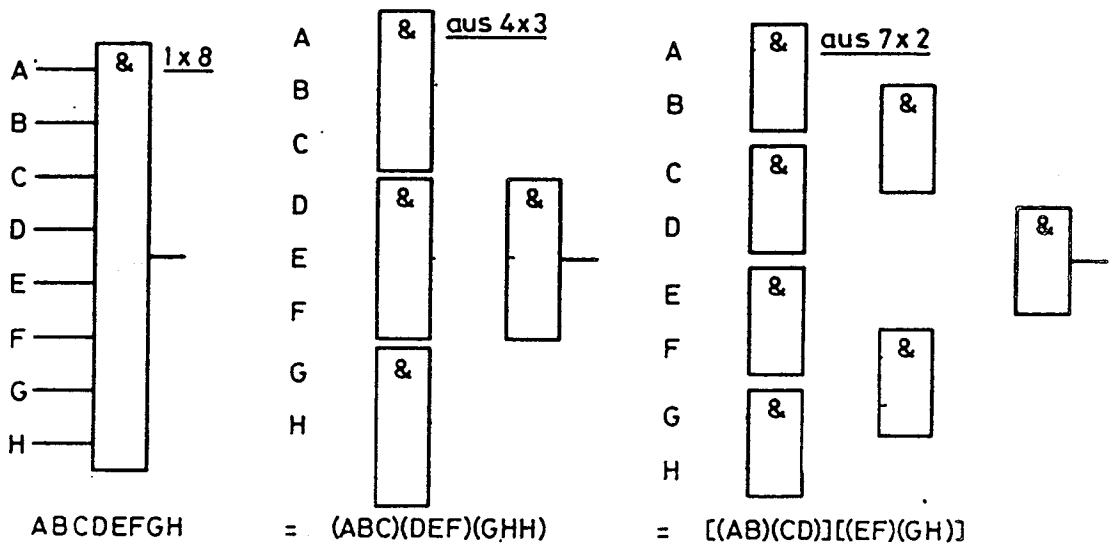
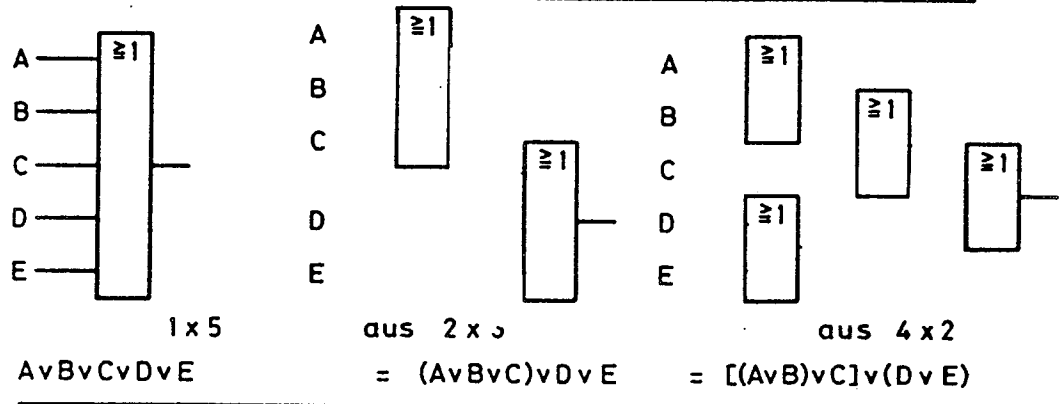
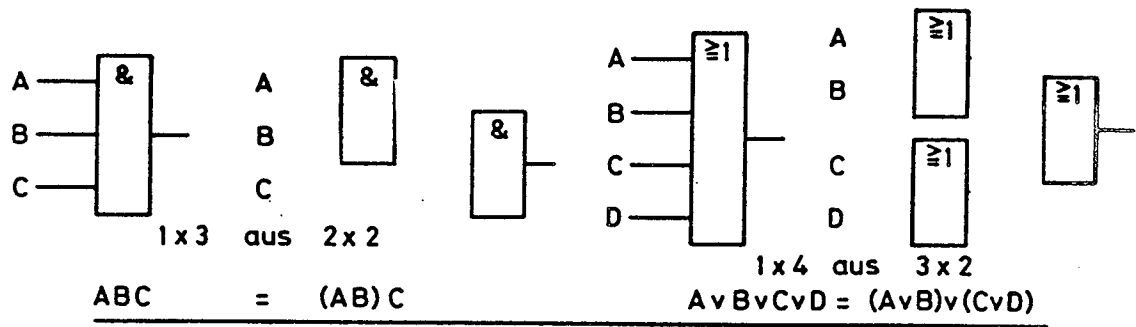
Eine am Ausgang negierte UND-Funktion erfüllt die gleiche Schaltfunktion wie eine an allen Eingängen negierte ODER-Funktion.

$$\overline{A \vee B} = \bar{A} \bar{B}$$

Eine am Ausgang negierte ODER-Funktion erfüllt die gleiche Schaltfunktion wie eine an allen Eingängen negierte UND-Funktion.

Anwendung der assoziativen Gesetze

Durch die Gültigkeit der assoziativen Gesetze besteht die Möglichkeit, ein UND- oder ein ODER-Glied mit vielen Eingängen aus mehreren UND- bzw. ODER-Gliedern mit weniger Eingängen zusammenzusetzen.



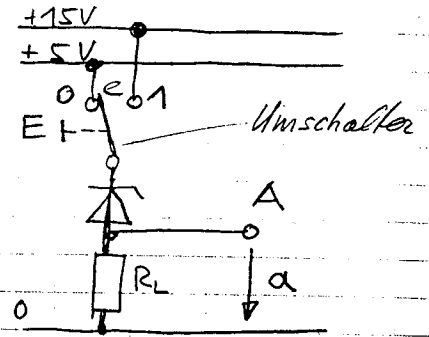
Für ein UND-Glied mit 10 Eingängen sind bei Verwendung von UND-Gliedern mit

- a) 2 Eingängen Verknüpfungsglieder
- b) 3 Eingängen Verknüpfungsglieder
- c) 4 Eingängen Verknüpfungsglieder

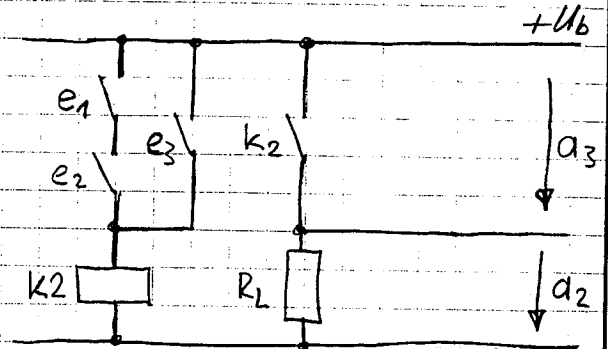
erforderlich.

Aufgaben zu "Kombinatorische Digitaltechnik"

- Nr. 1 Stellen Sie von der nebenstehenden Schaltung die Wertetabelle für die Signale e und a von E und A auf!
(Wert 1 bedeutet: Spannung vorhanden).



- Nr. 2 Stellen Sie von nebenstehender Schaltung die Wertetabelle mit e_1, e_2, e_3 und k_2 auf!
(k_2 schliesst, wenn K_2 Spannung erhält)



- Nr. 3 Wie lautet die Schaltfunktion vom Ausgangssignal a_2 der Schaltung von Aufgabe Nr. 2?

Kommutativgesetz der Schaltalgebra

Wenden Sie das Kommutativgesetz so oft an, dass die Elemente der nachfolgenden Terme in möglichst vielen verschiedenen Reihenfolgen auftreten!

Nr. 4 a) $(a \vee b) \wedge c$; b) $(a \wedge b) \vee c$; c) $(a \wedge b) \wedge (c \vee d)$;

Nr. 5 a) $s_1 = b c \vee d$; b) $s_2 = (c \vee d) b$; c) $s_3 = a c \vee b$;

Nr. 6 a) $s_1 = b(c \vee d)$; b) $s_2 = (d \vee c) a$; c) $s_3 = a(c \vee b)$;

Berechnen Sie!

Nr. 7 a) $a \vee (\bar{a} \wedge 0)$; b) $(a \wedge b \wedge a) \vee b$
c) $(\bar{a} \wedge b) \vee (d \wedge d)$; d) $(a \vee b) \wedge (a \vee b)$

Aufgaben zu "Assoziativgesetz der Schaltalgebra"

Zeichnen Sie die Schaltpläne mit binären Elementen für die Schaltfunktionen!

Nr. 1 a) $s_1 = a \wedge \bar{b}c$; b) $s_2 = a \vee (b \vee \bar{c})$; c) $s_3 = ab \vee c$;

Nr. 2 a) $s_1 = (\bar{a} \vee b) \vee c$; b) $s_2 = ac \wedge d$; c) $s_3 = (\bar{a} \vee c)d$;

Wenden Sie das Assoziativgesetz an!

Nr. 3 a) $s = abcd \vee xyz$; b) $s = c \vee d \vee e \vee \bar{f}$
c) $s = ac \wedge de$; d) $s = xy \vee tz$

Wenden Sie das Verbindungsgesetz an!

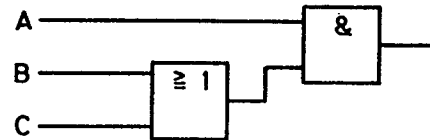
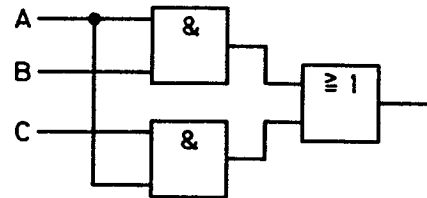
Nr. 4 a) $s = iklmn \vee pqrs$; b) $s = (a \vee b) \vee (c \vee d)$
c) $s = xyz \wedge jk$; d) $s = abc \wedge (j \vee k)$

Anwendung der distributiven Gesetze

$$AB \vee AC = A(B \vee C) \quad ?$$

A	B	C	AB	AC	AB ∨ AC	B ∨ C	A(B ∨ C)
0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0
0	1	0	0	0	0	1	0
0	1	1	0	0	0	1	0
1	0	0	0	0	0	0	0
1	0	1	0	1	1	1	1
1	1	0	1	0	1	1	1
1	1	1	1	1	1	1	1

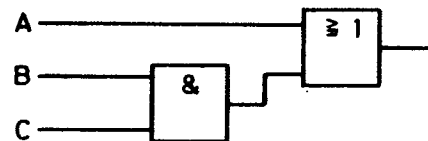
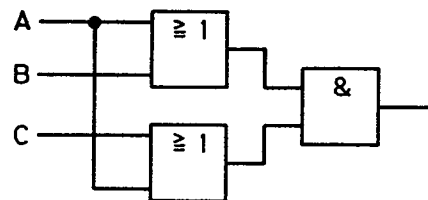
=



$$(A \vee B)(A \vee C) = A \vee BC \quad ?$$

A	B	C	A ∨ B	A ∨ C	(A ∨ B)(A ∨ C)	BC	A ∨ BC
0	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0
0	1	0	1	0	0	0	0
0	1	1	1	1	1	1	1
1	0	0	1	1	1	0	1
1	0	1	1	1	1	0	1
1	1	0	1	1	1	0	1
1	1	1	1	1	1	1	1

=



Durch das Ausklammern nach den distributiven Gesetzen ist es möglich, Verknüpfungsglieder einzusparen.

Die distributiven Gesetze erlauben das Ausklammern bei UND- und ODER-Funktionen in gleicher Weise. Das zeigt, daß UND- und ODER-Verknüpfung gleichwertig sind.

Gebrauch von Klammern

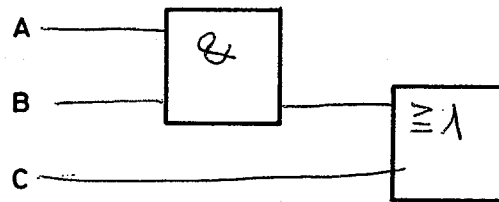
Die Grundverknüpfungen sind gleichrangig. Um trotzdem beim Schreiben von schaltalgebraischen Ausdrücken Klammern zu sparen, hat man künstlich Prioritäten eingeführt.

NICHT- vor UND- vor ODER-Verknüpfung

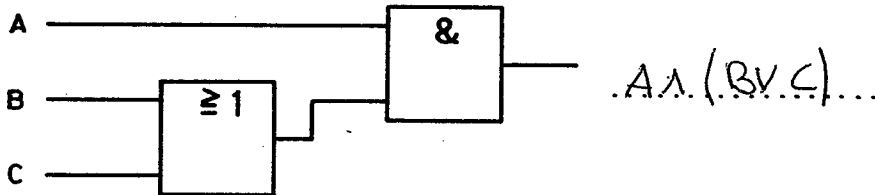
(vgl. Punktrechnung vor Strichrechnung)

1.

$$AB \vee C$$

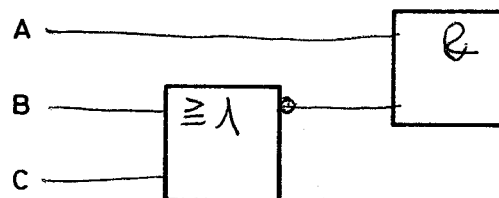


2.

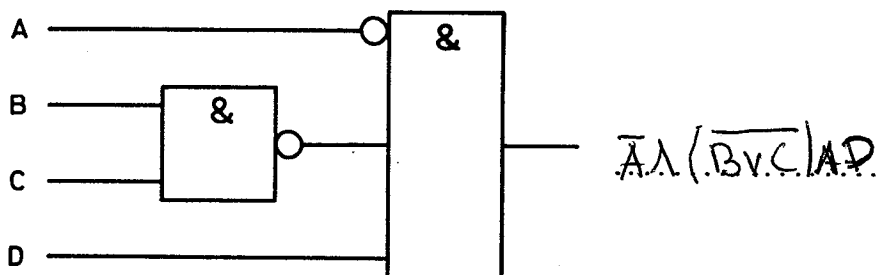


3.

$$A \overline{B \vee C}$$

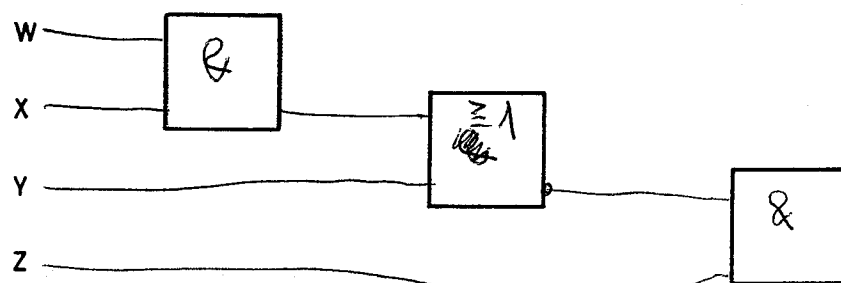


4.

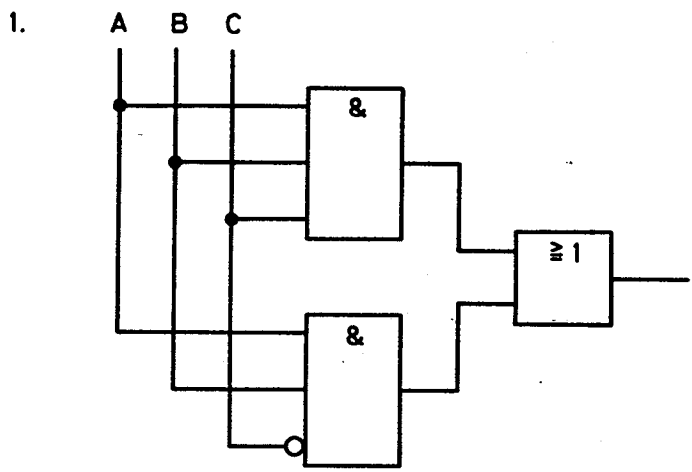


5.

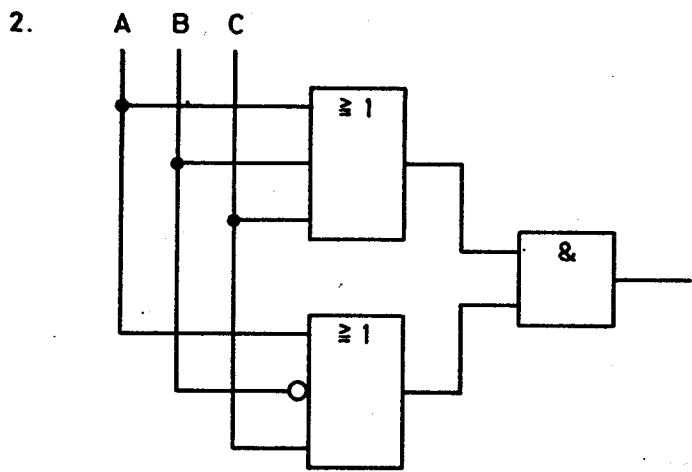
$$\overline{WX} \vee YZ$$



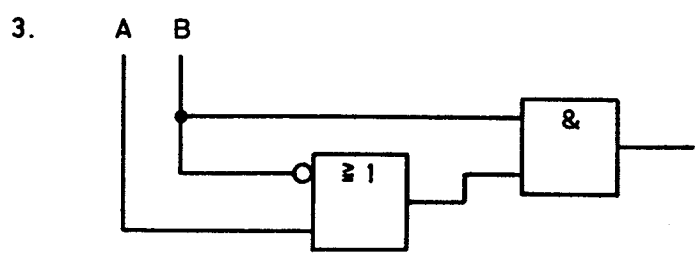
Beispiele



$$\begin{aligned}
 & (ABC) \vee (ABC) \dots \\
 & = \dots \overline{C} \dots AB \dots = \dots \\
 & = \dots
 \end{aligned}$$



$$\begin{aligned}
 & \dots (A \vee B \vee C) \wedge (A \vee \overline{B} \vee C) \\
 & = \dots A \wedge C \dots = \dots \\
 & = \dots
 \end{aligned}$$



$$\begin{aligned}
 & B \wedge (A \vee \overline{B}) \dots \\
 & = \dots \overline{B} A \vee B \overline{B} \dots = A \vee B \dots \\
 & = \dots AB \dots
 \end{aligned}$$

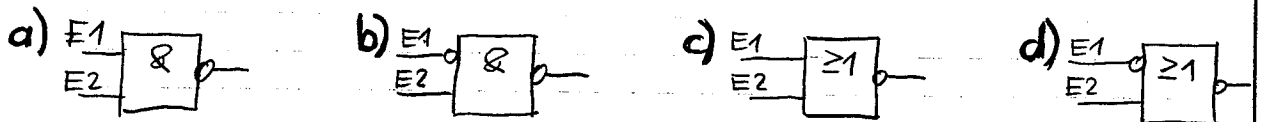
4. $A \vee AB = A(1 \vee B) = A \wedge 1 = A$

Aufgabe zu "Umkehrgesetze" / de Morgansche Gesetze

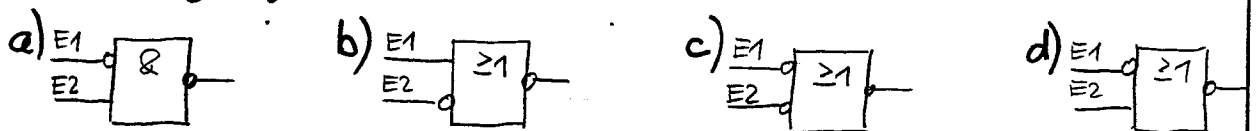
- Durch Invertieren des einen der beiden Binärzeichen entsteht das andere Binärzeichen.
- Ein gegebenes binäres Element A1 kann durch ein anderes, gleichwertiges binäres Element A2 ersetzt werden, wenn man alle UND von A1 durch ODER in A2 bzw. alle ODER von A1 durch UND in A2 ersetzt und in A2 alle Anschlüsse gegenüber dem Zustand in A1 invertiert.

$$\Rightarrow \overline{a \wedge b} = \bar{a} \vee \bar{b} \quad \overline{a \vee b} = \bar{a} \wedge \bar{b} \quad (\text{De Morgan})$$

Nr. 1 Bilden Sie die gleichwertigen Schaltungen ohne Negierungen am Ausgang!



Nr. 2 Bilden Sie die gleichwertigen Schaltungen durch Invertieren der Eingänge!



Nr. 3 Formen Sie mit Hilfe der de Morganschen Gesetze die Terme um!

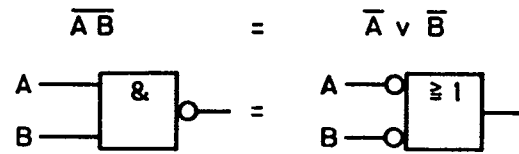
a) $\overline{a \wedge b}$; b) $\overline{a \wedge \bar{b}}$; c) $\overline{\bar{a} \wedge b}$; d) $\overline{\bar{a} \vee \bar{b}}$;

Nr. 4 a) $\overline{\bar{a} \wedge b \vee c}$; b) $\overline{a \wedge b \vee \bar{c}}$; c) $\overline{\bar{a} \wedge \bar{b} \vee c}$;

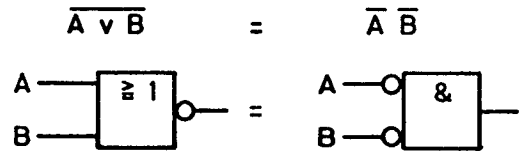
Nr. 5 Beweisen Sie, dass $a \wedge b \vee a \wedge \bar{b} = a$ ist!

Anwendung der De Morganschen Gesetze

A	B	AB	\overline{AB}	\overline{A}	\overline{B}	$\overline{A \vee B}$
0	0	0	1	1	1	1
0	1	0	1	1	0	1
1	0	0	1	0	1	1
1	1	1	0	0	0	0

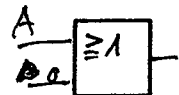
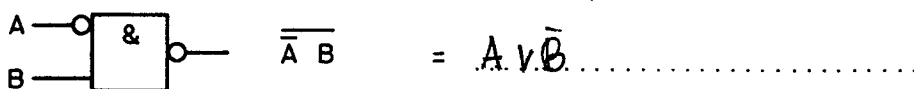
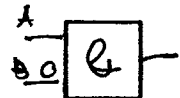
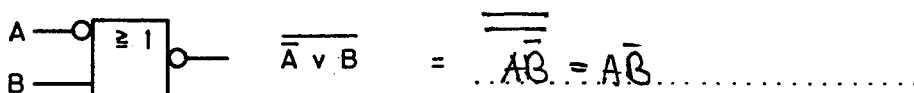
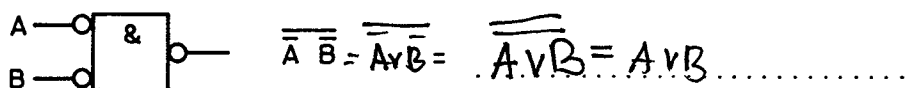
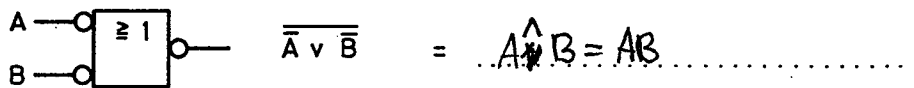


A	B	$A \vee B$	$\overline{A \vee B}$	\overline{A}	\overline{B}	\overline{AB}
0	0	0	1	1	1	1
0	1	1	0	1	0	0
1	0	1	0	0	1	0
1	1	1	0	0	0	0



Getrennte Negationsstriche über einzelne Variable bedeuten, daß die betreffenden Eingängenegiert sind.

Ein gemeinsamer Negationsstrich über mehrere Variable bedeutet, daß der Ausgang der Verknüpfung negiert ist.



Ein UND-(ODER-)Glied kann durch ein ODER-(UND-)Glied ersetzt werden, wenn alle beim UND-(ODER-)Glied nicht-negierten Ein- und Ausgänge beim ODER-(UND-)Glied negiert werden und die beim UND-(ODER-)Glied negierten beim ODER-(UND-)Glied nicht negiert werden.

Aufgaben zu "Distributivgesetze der Schaltalgebra"

In der Schaltalgebra gelten zwei Distributivgesetze:

$$a \wedge (b \vee c) = (a \wedge b) \vee (a \wedge c)$$

$$(a \vee b) \wedge (a \vee c) = a \vee (b \wedge c)$$

Wenden Sie die Verteilungsgesetze an!

Nr. 1 a) $s_1 = x \vee (y \wedge z)$; b) $a = (e_1 \wedge e_2) \vee (e_3 \wedge e_4)$
 c) $s_2 = x \vee y \vee (x \wedge z)$

Wenden Sie die Distributivgesetze an!

Nr. 2 a) $s_1 = (u \vee v) \wedge w$; b) $a = y \vee x \wedge (x \vee y)$
 c) $s_2 = [(x \vee z) \wedge y] \vee [x \wedge (y \vee x)]$

Nr. 3 Ermitteln Sie für die folgende Schaltung für K1:

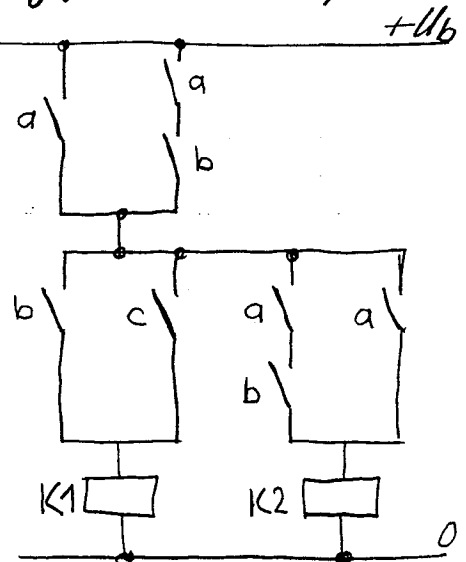
a) die Schaltfunktion γ_{K1} ,

b) die mit den Verteilungsgesetzen umgeformte Schaltfunktion!

Nr. 4 Für K2 der nebenstehenden Schaltung ist zu bestimmen:

a) die Schaltfunktion γ_{K2} ,

b) die mit Hilfe der Verteilungsgesetze vereinfachte Schaltfunktion!



ÜBUNG 1

GRUNDFUNKTIONEN

Bilden Sie die Wahrheitstabellen mit 3 Eingangsvariablen für die Grundverknüpfungen AND, OR, NAND und NOR.

Zeichnen Sie die dazugehörigen Schaltzeichen

Zeichnen Sie den dazugehörigen Stromlaufplan mit Schaltern

Notieren Sie die Funktionsgleichungen

ÜBUNG 2

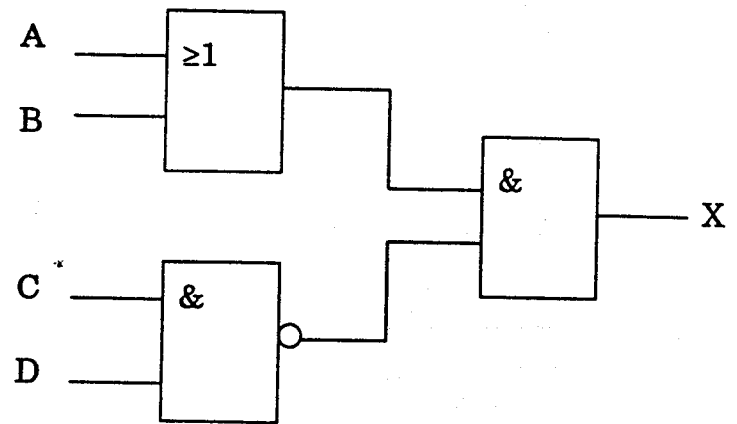
SCHALTALGEBRA

Aus der nebenstehenden Logikschaltung ist folgendes zu erstellen:

- Wahrheitstabelle
- Funktionsgleichung

Anschliessend ist die Schaltung auf Grund der Gesetze von de Morgan so umzuformen, dass Sie nur mit NAND-Funktionsblöcken aufgebaut werden kann.

(Invertierte Eingänge mit einem Kreis am Eingang bezeichnen)

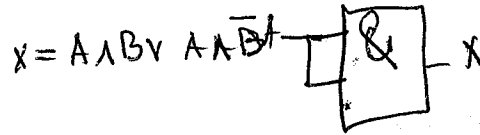


ÜBUNG 3

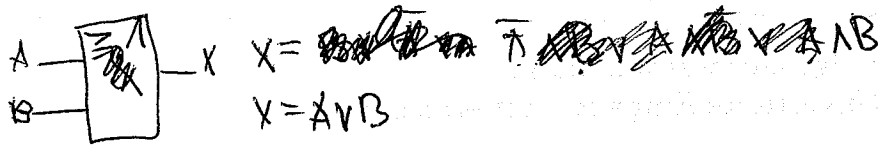
SCHALTALGEBRA

Aus den untenstehenden Wahrheitstabellen sind die Funktionsgleichungen und die dazugehörigen Schaltungen zu bilden.

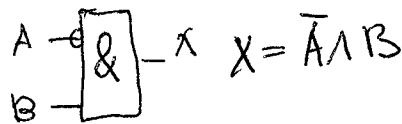
A	B	X
0	0	0
0	1	0
1	0	1
1	1	1



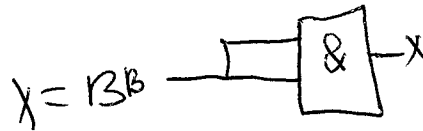
A	B	X
0	0	0
0	1	1
1	0	1
1	1	1



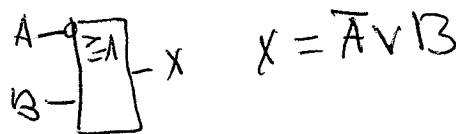
A	B	X
0	0	0
0	1	1
1	0	0
1	1	0



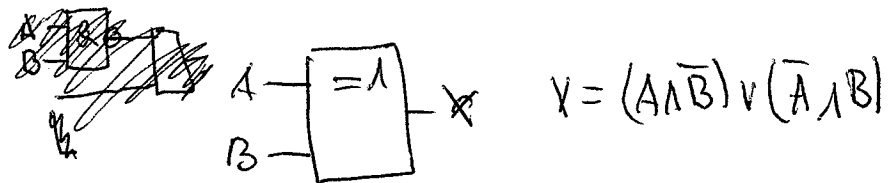
A	B	X
0	0	0
0	1	1
1	0	0
1	1	1



A	B	X
0	0	1
0	1	1
1	0	0
1	1	1



A	B	X
0	0	1
0	1	0
1	0	0
1	1	1



A	B	X
0	0	1
0	1	1
1	0	1
1	1	1

$\bar{A} \vee A \vee B \vee A \vee B$

GRUNDFUNKTIONEN

Aufgabe : Tragen Sie die entsprechenden Daten in die Tabelle ein!

Gatter WHT

Symbol Boolescher Ausdruck

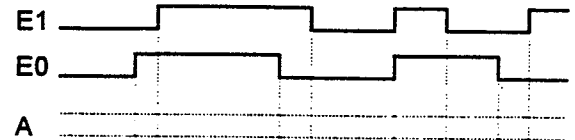
Zeitlaufdiagramm

AND

E1	E0	A
0	0	0
0	1	0
1	0	0
1	1	1



$A = E1 \wedge E0$

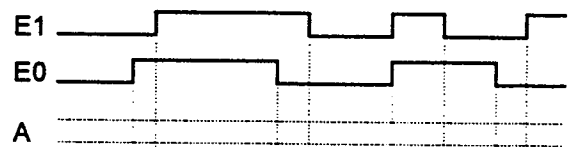


OR

E1	E0	A
0	0	0
0	1	1
1	0	1
1	1	1



$A = E1 \vee E0$

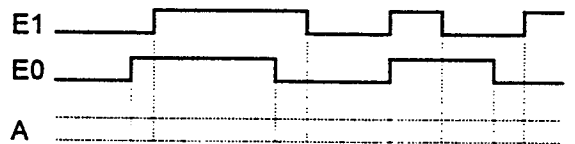


XOR

E1	E0	A
0	0	0
0	1	1
1	0	1
1	1	0



$A = (E1 \vee E0) \wedge \overline{E1 \wedge E0}$



NOT

E0	A
0	1
1	0



$A = \overline{E0}$



NAND

E1	E0	A
0	0	1
0	1	0
1	0	0
1	1	0



$A = \overline{E1 \wedge E0}$

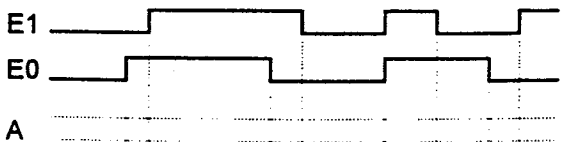


NOR

E1	E0	A
0	0	1
0	1	0
1	0	0
1	1	0



$A = \overline{E1 \vee E0}$



ÜBUNGEN

Aufgabe : Füllen Sie die untenstehende Tabelle aus! Sie haben jeweils eine Darstellungsform vorgegeben.

Gatter WHT

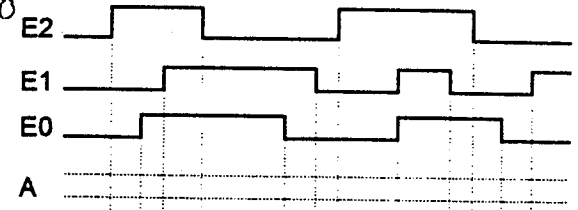
E2	E1	E0	A
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0



Boolescher Ausdruck

$A = E2 \wedge E1 \wedge E0$

Zeitlaufdiagramm

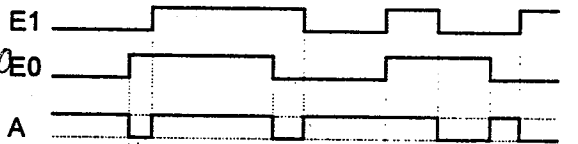


E1	E0	A
0	0	1
0	1	0
1	0	0
1	1	1



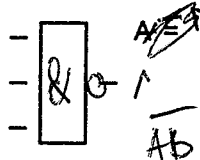
$A = E1 \vee E0$

$A = E1 \vee E0$

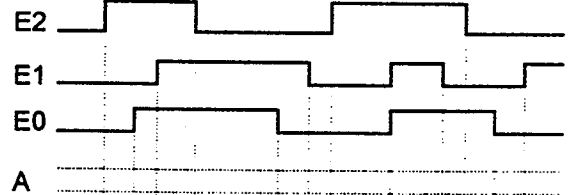


NAND

E2	E1	E0	A
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0



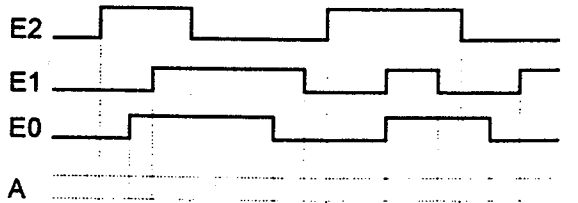
$A = \overline{E2 \wedge E1 \wedge E0}$



E2	E1	E0	A
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1



$A = E2 \vee E1 \vee E0$



Minterme

Ein Minterm ist eine UND-Verknüpfung, die alle Variable einmal enthält, wobei diese nichtnegiert oder negiert auftreten können.

Minterme von den Schaltvariablen A, B, C und D sind z.B.:

ABCD, $\bar{A}BCD$, $A\bar{B}CD$, $\bar{A}\bar{B}CD$.

Es gibt ebensoviel verschiedene Minterme wie Eingangskombinationen, bei n Variablen 2^n .

Jeder Minterm hat nur bei einer Eingangskombination den Wert 1.

Minterm.	Funktionssymbol	Eingangskombination, für die der Minterm den Wert 1 hat			
		A	B	C	D
ABCD		1	1	1	1
$\bar{A}BCD$		0	1	0	1
$A\bar{B}CD$		1	0	0	1
$\bar{A}\bar{B}CD$		0	0	0	0

Man erhält für eine Eingangskombination den zugehörigen Minterm, wenn man in der UND-Funktion aus allen Variablen die Variablen negiert, die bei dieser Kombination im Zustand 0 sind.

Vollständige disjunktive Normalform

A	B	C	Z
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

Die disjunktive Normalform wird aus den Eingangskombinationen gebildet, bei denen der Ausgang den Wert 1 hat.

Z soll den Wert 1 annehmen bei den Eingangskombinationen

0 0 0 (Minterm $\overline{A}\overline{B}\overline{C}$)

0 1 1 (Minterm $\overline{A}BC$)

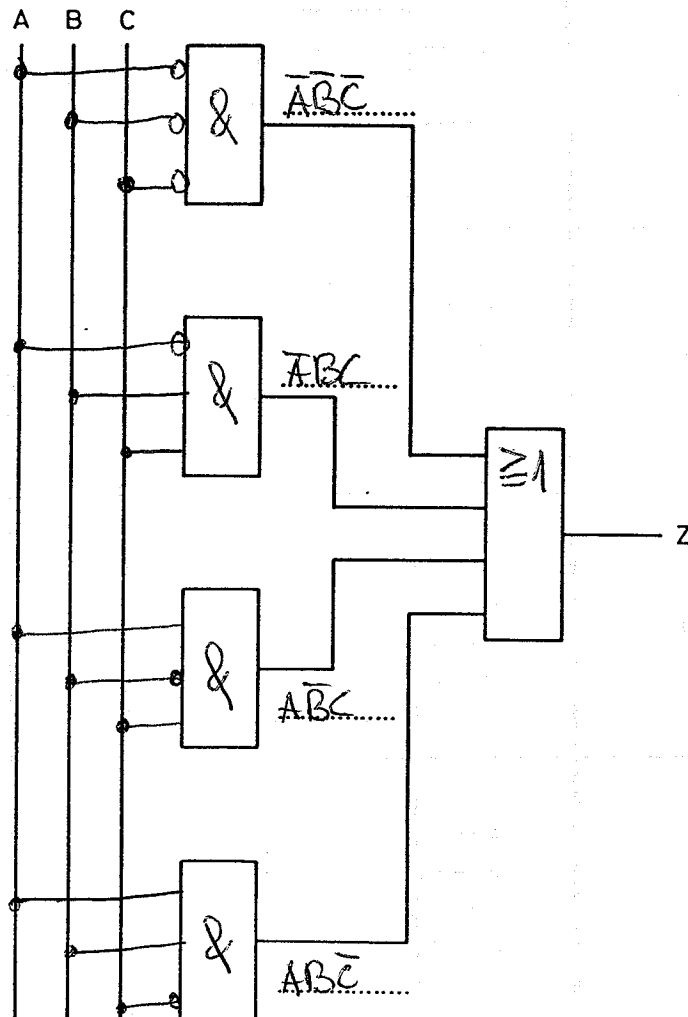
1 0 1 (Minterm $A\overline{B}C$)

1 1 0 (Minterm $AB\overline{C}$)

Die Ausgänge der Minterme müssen so verknüpft werden, daß eine hier entstehende 1 zum Ausgang Z durchgreift. Dafür sind die Mintermausgänge **disjunktiv** (über ein ODER-Glied) zu verknüpfen.

$$Z = \overline{A}\overline{B}\overline{C} \vee \overline{A}BC \vee A\overline{B}C \vee AB\overline{C}$$

Man erhält den schaltalgebraischen Ausdruck für ein Schaltnetz, das eine Wahrheitstabelle realisiert, wenn man für alle Eingangskombinationen, für die der Ausgang im Zustand 1 sein soll, die Minterme aufschreibt und sie durch eine ODER-Funktion verknüpft. Der so erhaltene Ausdruck ist die vollständige disjunktive Normalform für Z.



Maxterme

Ein Maxterm ist eine ODER-Verknüpfung, die alle Variablen einmal enthält, wobei diese nichtnegiert oder negiert auftreten können.

Maxterme von den Schaltvariablen A, B, C und D sind z.B.:

$A \vee B \vee C \vee D$, $\bar{A} \vee B \vee \bar{C} \vee D$, $A \vee \bar{B} \vee C \vee D$, $\bar{A} \vee \bar{B} \vee \bar{C} \vee D$.

Es gibt ebensoviel verschiedene Maxterme wie Eingangskombinationen, bei n Variablen 2^n .

Jeder Maxterm hat nur bei einer Eingangskombination den Wert 0.

Maxterm	Funktionssymbol	Eingangskombination, für die der Maxterm den Wert 0 hat			
		A	B	C	D
$A \vee B \vee C \vee D$		0	0	0	0
$\bar{A} \vee B \vee \bar{C} \vee D$		1	0	1	0
$A \vee \bar{B} \vee \bar{C} \vee D$		0	1	1	0
$\bar{A} \vee \bar{B} \vee \bar{C} \vee D$		1	1	1	0

Man erhält für eine Eingangskombination den zugehörigen Maxterm, wenn man in der ODER-Funktion aus allen Variablen die Variablen negiert, die bei dieser Kombination im Zustand 1 sind.

Vollständige konjunktive Normalform

	A	B	C	Z
	0	0	0	1
→	0	0	1	0
→	0	1	0	0
	0	1	1	1
→	1	0	0	0
	1	0	1	1
	1	1	0	1
→	1	1	1	0

Die konjunktive Normalform wird aus den Eingangskombinationen gebildet, bei denen der Ausgang den Wert 0 hat.

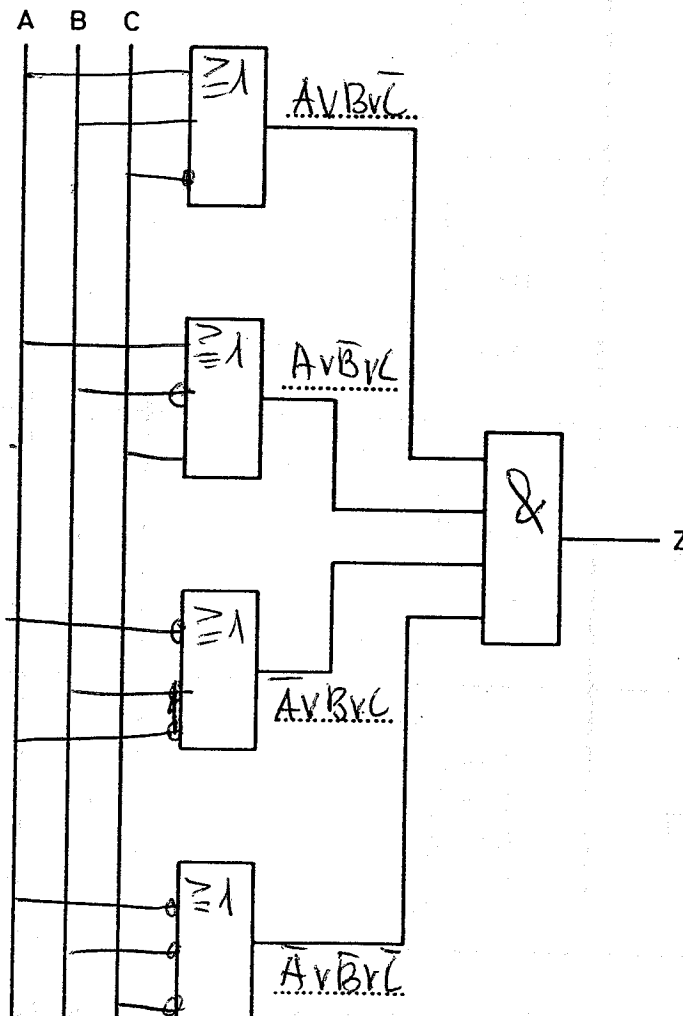
Z soll den Wert 0 annehmen bei den Eingangskombinationen

- 001 (Maxterm ~~$A\bar{A}B\bar{C}$~~) $A\bar{B}\bar{C}$
- 010 (Maxterm ~~$A\bar{A}B\bar{C}$~~) $A\bar{B}B\bar{C}$
- 100 (Maxterm ~~$A\bar{A}B\bar{C}$~~) $\bar{A}B\bar{C}$
- 111 (Maxterm ~~$A\bar{A}B\bar{C}$~~) $\bar{A}\bar{B}\bar{C}$

Die Ausgänge der Maxterme müssen so verknüpft werden, daß eine hier entstehende 0 zum Ausgang Z durchgreift. Dafür sind die Maxtermausgänge konjunktiv (über ein UND-Glied) zu verknüpfen.

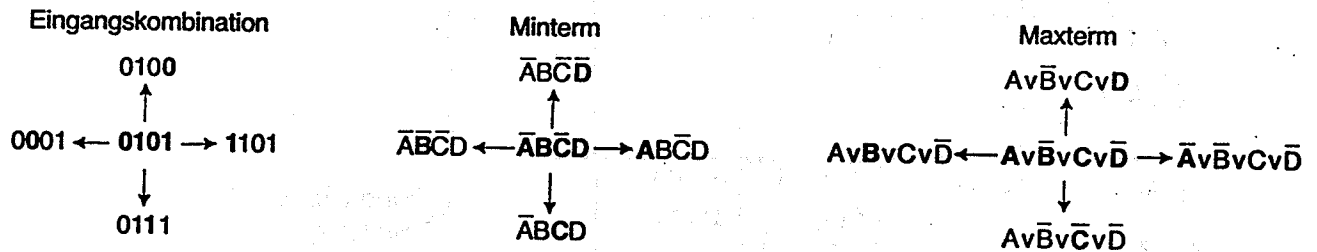
$$Z = (A\bar{B}\bar{C})(A\bar{B}B\bar{C})(\bar{A}B\bar{C})(\bar{A}\bar{B}\bar{C})$$

Man erhält den schaltalgebraischen Ausdruck für ein Schaltnetz, das eine Wahrheitstabelle realisieren soll, wenn man für alle Eingangskombinationen, für die der Ausgang im Zustand 0 sein soll, die Maxterme aufschreibt und sie durch eine UND-Funktion verknüpft. Der so erhaltene Ausdruck ist die vollständige konjunktive Normalform.



Prinzip der Vereinfachung

Die beiden vollständigen Normalformen sind zwei Möglichkeiten, jede durch eine Wahrheitstabelle darstellbare Aufgabe mit einem schaltalgebraischen Ausdruck zu beschreiben. Sie lassen sich vereinfachen, wenn sie benachbarte **Minterme** (**Maxterme**) enthalten. Zwei Minterme (**Maxterme**) sind benachbart, wenn sie sich nur in einer Variablen unterscheiden. Ein Minterm (**Maxterm**) aus n Variablen hat n benachbarte Minterme (**Maxterme**).



Vereinfachung bei benachbarten

Mintermen: $\bar{A}\bar{B}\bar{C}\bar{D} \vee \bar{A}\bar{B}\bar{C}D = \bar{B}\bar{C}\bar{D}(A \vee \bar{A}) = \bar{B}\bar{C}\bar{D}$

Maxtermen: $(A\bar{v}\bar{B}vCv\bar{D})(\bar{A}\bar{v}\bar{B}vCv\bar{D}) = \bar{B}\bar{C}\bar{D}(A\bar{v}\bar{A}) = \bar{B}\bar{C}\bar{D}$

Beispiel:

K	L	M	Z
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

vollständige disjunktive Normalform:

$$z = \bar{K}\bar{L}\bar{M} \vee \bar{K}\bar{L}M \vee \bar{K}L\bar{M} \vee \bar{K}LM \vee K\bar{L}\bar{M} \vee K\bar{L}M \vee KL\bar{M} \vee KLM$$

$$= \bar{K}\bar{M}(\bar{L} \vee L) \vee K\bar{M}(\bar{L} \vee L) = \bar{K}\bar{M} \vee K\bar{M}$$

einfachste disjunktive Normalform

vollständige konjunktive Normalform:

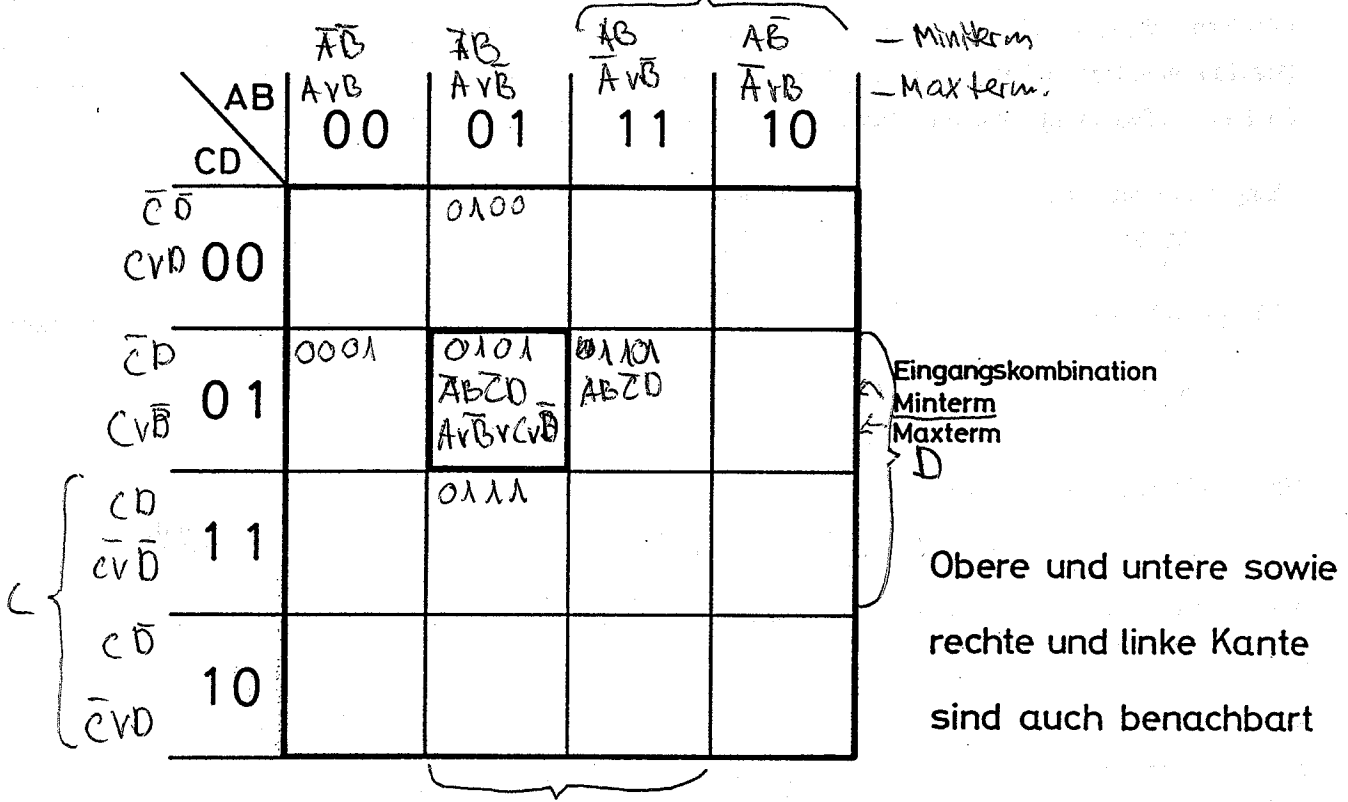
$$z = (K \vee L \vee \bar{M}) \wedge (K \vee \bar{L} \vee \bar{M}) \wedge (\bar{K} \vee L \vee M) \wedge (\bar{K} \vee \bar{L} \vee M)$$

$$= (K \vee \bar{M} \vee L) \wedge (K \vee \bar{M} \vee \bar{L}) = (K \vee \bar{M}) \wedge (K \vee M)$$

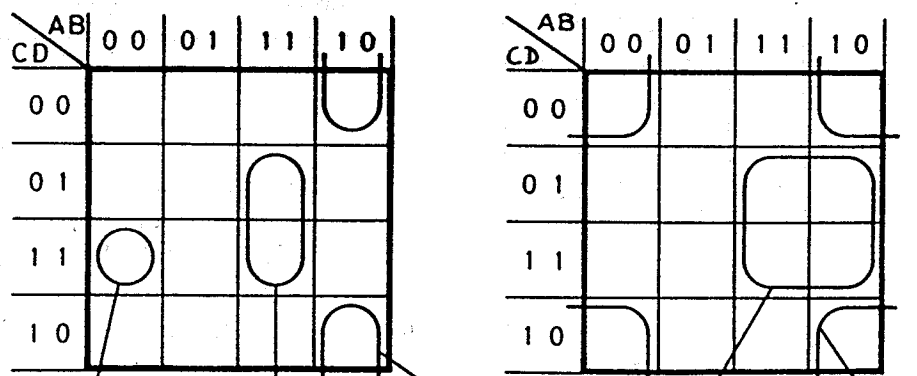
einfachste konjunktive Normalform

Karnaughtafel

In der Karnaughtafel werden den Eingangskombinationen Felder (Quadrate) zugeordnet, in die die zugehörigen Ausgangszustände eingetragen werden. Die Felder sind so angeordnet, daß benachbarte Minterme bzw. Maxterme Felder mit einer gemeinsamen Kante sind. Da Quadrate vier Kanten haben, ist diese Darstellung am günstigsten bei vier Variablen.



Zur Vereinfachung einer disjunktiven Normalform können nur 2, 4, 8, ... benachbarte Felder mit 1, zur Vereinfachung einer konjunktiven Normalform benachbarte Felder mit 0 zusammengefaßt werden. Man erhält die Eingangskombination für eine Zusammenfassung, indem man die innerhalb der Zusammenfassung gleichbleibenden Eingangszustände aufschreibt und für die sich ändernden Eingangszustände den unbestimmten Funktionswert x setzt. Bei der Bildung der zugehörigen Terme entfällt die x entsprechende Variable.



Eingangskombination:

0011 0111 1010 1111 1010

Mintermform:

$\overline{A}\overline{B}CD$ ABD $A\overline{B}\overline{D}$ AD $\overline{B}\overline{D}$

Maxtermform:

$\overline{A}\overline{B}C\overline{D}$ $\overline{A}\overline{B}C\overline{D}$ $\overline{A}\overline{B}C\overline{D}$ $A\overline{B}$ $\overline{B}\overline{D}$

Schaltnetzvereinfachung

Beispiel:

Es ist ein Schaltnetz zur Pseudotetradenerkennung für den Drei-Exzeß-Code zu entwerfen. Es ist sowohl a) die einfachste disjunktive als auch b) die einfachste konjunktive Normalform zu entwickeln.

Lösung:

1. Wahrheitstabelle aufstellen
2. Karnaughtafel aufstellen
3. einfachste Normalform aus der Karnaughtafel ablesen
4. Schaltnetz zeichnen

zu 1.

Drei - Exzeßcode	-	-	-	0	1	2	3	4	5	6	7	8	9	-	-	-
A	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
B	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
C	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
D	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
Z	1	1	1	0	0	0	0	0	0	0	0	0	0	1	1	1

disjunktive Normalform

konjunktive Normalform

zu 2.

AB \ CD	00	01	11	10
00	1	0	0	0
01	1	0	1	0
11	0	0	1	0
10	1	0	1	0

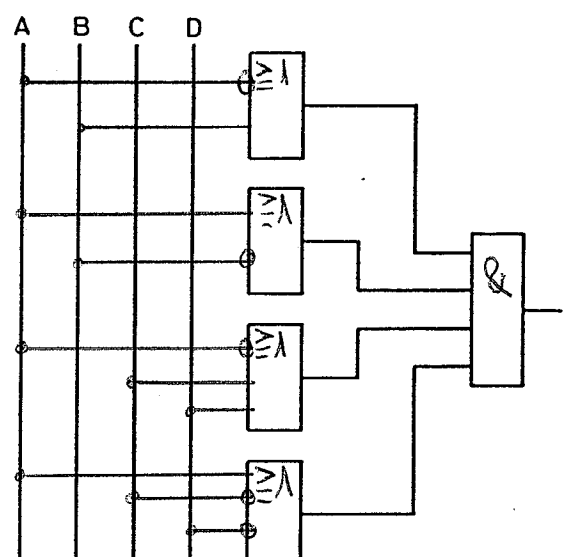
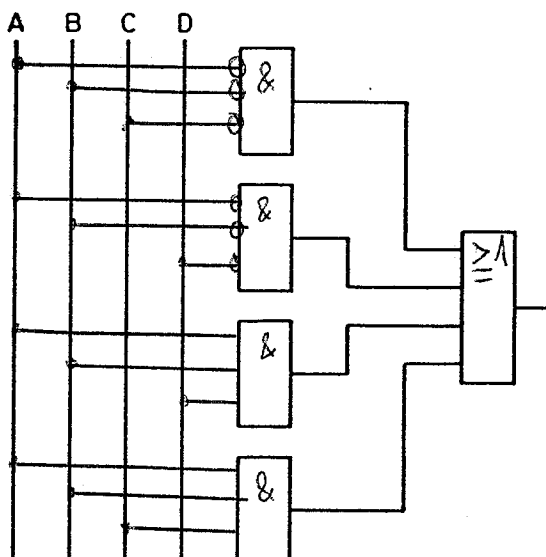
AB \ CD	00	01	11	10
00	1	0	0	0
01	1	0	1	0
11	0	0	1	0
10	1	0	1	0

zu 3.

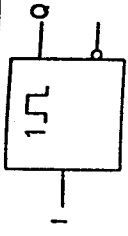

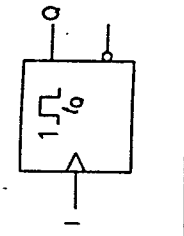
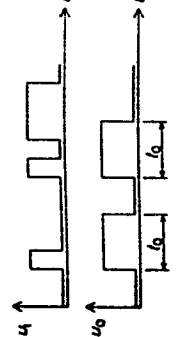
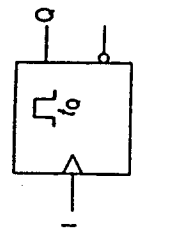
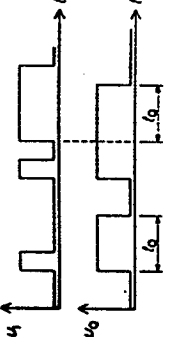
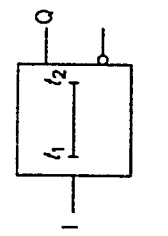
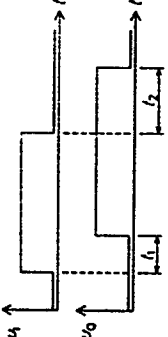
$$z = \overset{1}{\bar{A}\bar{B}\bar{C}} \vee \overset{2}{\bar{A}\bar{B}D} \vee \overset{3}{A\bar{B}D} \vee \overset{4}{A\bar{B}C}$$

$$z = \overset{1}{(\bar{A}\bar{B})} \wedge \overset{2}{(A\bar{B})} \wedge \overset{3}{(\bar{A}\bar{C}D)} \wedge \overset{4}{(A\bar{C}D)}$$

zu 4.



19.3 Monostabile Kippglieder, Verzögerungsglieder

Benennung	Funktionssymbol	Signal-Zeit-Diagramm
monostabiles Kippglied allgemein (MF)		
MF nicht nachtriggerbar mit Angabe der Impulszeit, Triggerrichtung mit ansteigender Flanke		
MF nachtriggerbar mit Angabe der Impulszeit, Triggerrichtung mit ansteigender Flanke		
Verzögerungsglied mit Angabe der Verzögerungszeiten		

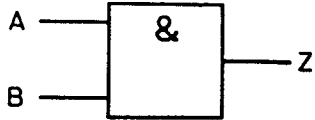
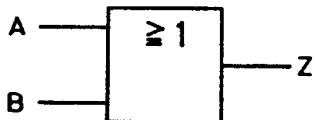
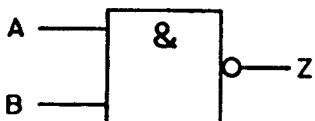
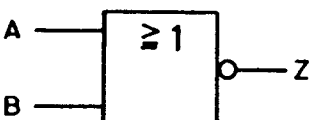
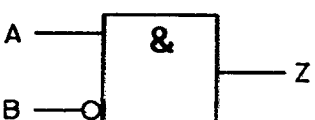
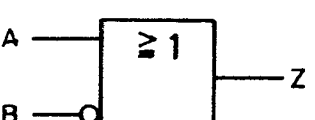
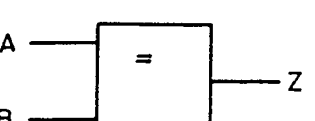
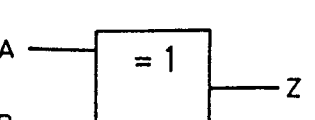
Taktgesteuerte, bistabile Kippglieder
 Q_m Zustand vor dem Taktimpuls
 Q_{m+1} Zustand nach dem Taktimpuls

RS-Kippglied mit Taktzustandssteuerung		A	B	Q_{m+1}	Q_m	Q_{m+1}
		0	0	Q_m	0	unverändert
		0	1	0	1	rücksetzen
		1	0	1	0	setzen
		1	1	1	1	verboten
J/K-Kippglied, einflankengesteuert (mit abfallender Flanke)		A	B	Q_{m+1}	Q_m	Q_{m+1}
		0	0	Q_m	0	unverändert
		0	1	0	1	rücksetzen
		1	0	1	0	setzen
		1	1	1	\bar{Q}_m	Änderung
J/K-Master-Slave-Kippglied, zweiflankengesteuert (Vorbereitung mit ansteigender und Ausgangsänderung mit abfallender Flanke)		A	B	Q_{m+1}	Q_m	Q_{m+1}
		0	0	Q_m	0	unverändert
		0	1	0	1	rücksetzen
		1	0	1	0	setzen
		1	1	1	\bar{Q}_m	Änderung
7-Kippglied, Binärteiler (Frequenzteiler)		$Q_{m+1} = \bar{Q}_m$				
D-Kippglied Zustandsgesteuert		C	A	Q_{m+1}	Q_m	Q_{m+1}
		0	0	Q_m	0	unverändert
		0	1	Q_m	1	unverändert
		1	0	0	0	rücksetzen
		1	1	1	1	setzen
D-Kippglied Zweiflankengesteuert		A	A	Q_{m+1}	Q_m	Q_{m+1}
		0	0	0	0	rücksetzen
		0	1	1	1	setzen

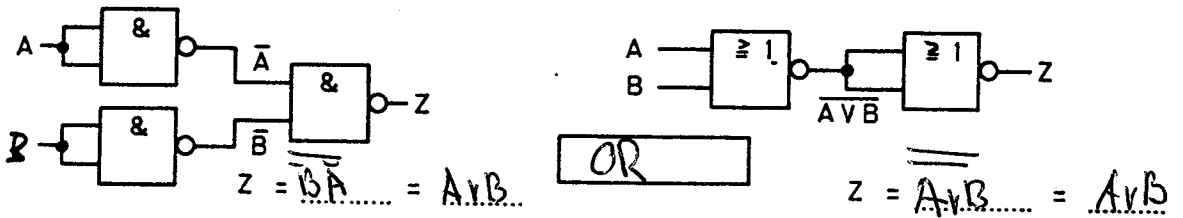
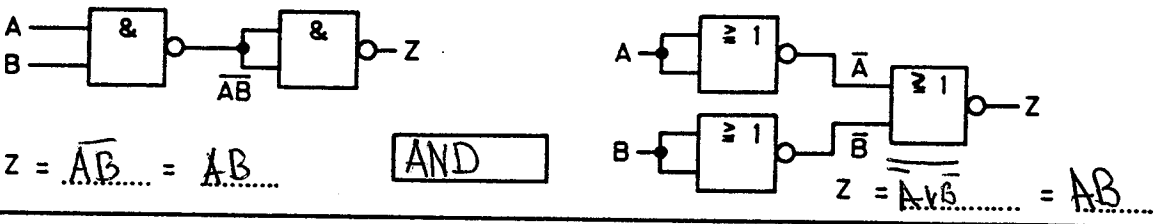
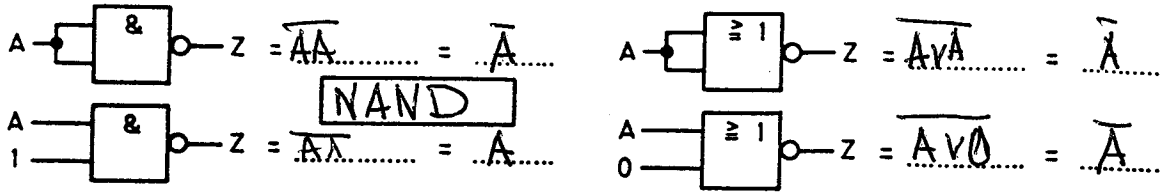
19.2 Bistabile Kippglieder

Benennung	Funktionssymbol	Wahrheitstafel		
		A	B	Q
RS-Kippglied		0	0	unverändert
		0	1	0 rücksetzen
		1	0	1 setzen
		1	1	verboten
RS-Kippglied mit Priorität für Rücksetzen		A	B	Q
		0	0	unverändert
		0	1	0 rücksetzen
		1	0	1 setzen
		1	1	0 rücksetzen
RS-Kippglied mit Priorität für Setzen		A	B	Q
		0	0	unverändert
		0	1	0 rücksetzen
		1	0	1 setzen
		1	1	1 setzen
RS-Kippglied mit Priorität für das zuerst eintreffende Signal		A	B	Q
		0	0	unverändert
		0	1	0 rücksetzen
		1	0	1 setzen
		1	1	unverändert
$\bar{R}\bar{S}$ -Kippglied		A	B	Q
		0	0	verboten
		0	1	1 setzen
		1	0	0 rücksetzen
		1	1	unverändert

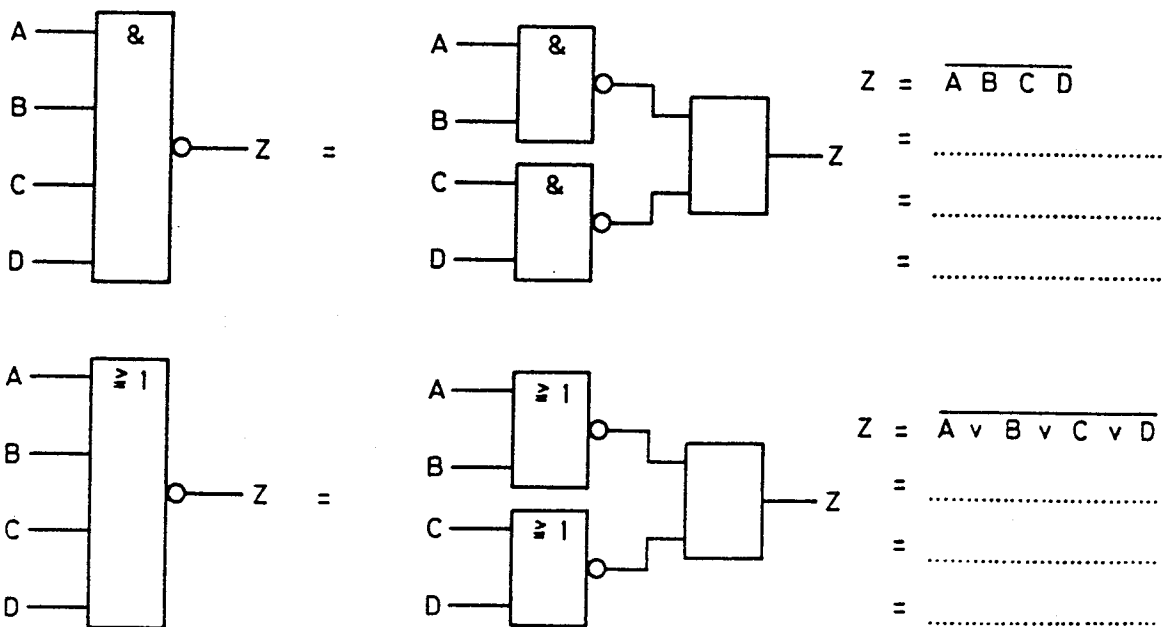
Verknüpfungen mit 2 Variablen

<p>UND-Funktion Konjunktion</p>	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Z</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	Z	0	0	0	0	1	0	1	0	0	1	1	1	<p>$Z = AB = A \wedge B = A \& B$ (A und B)</p>	
A	B	Z																
0	0	0																
0	1	0																
1	0	0																
1	1	1																
<p>ODER-Funktion Disjunktion</p>	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Z</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	Z	0	0	0	0	1	1	1	0	1	1	1	1	<p>$Z = A \vee B = A + B$ (A oder B)</p>	
A	B	Z																
0	0	0																
0	1	1																
1	0	1																
1	1	1																
<p>NAND-Funktion Schefferfunktion</p>	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Z</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	Z	0	0	1	0	1	1	1	0	1	1	1	0	<p>$Z = \overline{AB}$ (nicht (A und B)) $Z = A \overline{B}$ (A nand B)</p>	
A	B	Z																
0	0	1																
0	1	1																
1	0	1																
1	1	0																
<p>NOR-Funktion Peircefunktion</p>	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Z</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	Z	0	0	1	0	1	0	1	0	0	1	1	0	<p>$Z = \overline{A \vee B}$ (nicht (A oder B)) $Z = A \overline{B}$ (A nor B)</p>	
A	B	Z																
0	0	1																
0	1	0																
1	0	0																
1	1	0																
<p>Inhibition</p>	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Z</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	Z	0	0	0	0	1	0	1	0	1	1	1	0	<p>$Z = A \overline{B}$ (A und nicht B)</p>	
A	B	Z																
0	0	0																
0	1	0																
1	0	1																
1	1	0																
<p>Implikation</p>	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Z</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	Z	0	0	1	0	1	0	1	0	1	1	1	1	<p>$Z = A \vee \overline{B}$ (A oder nicht B) $B \supset A$ (B impliziert A)</p>	
A	B	Z																
0	0	1																
0	1	0																
1	0	1																
1	1	1																
<p>Äquivalenz</p>	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Z</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	Z	0	0	1	0	1	0	1	0	0	1	1	1	<p>$Z = \overline{A} \overline{B} \vee AB$ (nicht A und nicht B oder A und B) $A \equiv B$ (A äquivalent B)</p>	
A	B	Z																
0	0	1																
0	1	0																
1	0	0																
1	1	1																
<p>Antivalenz XOR-, Exklusiv-ODER- Funktion</p>	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Z</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	Z	0	0	0	0	1	1	1	0	1	1	1	0	<p>$Z = \overline{A} B \vee A \overline{B}$ (nicht A und B oder A und nicht B) $A \oplus B$ (A antivalent B)</p>	
A	B	Z																
0	0	0																
0	1	1																
1	0	1																
1	1	0																

Besondere Bedeutung der NAND- und NOR-Funktion

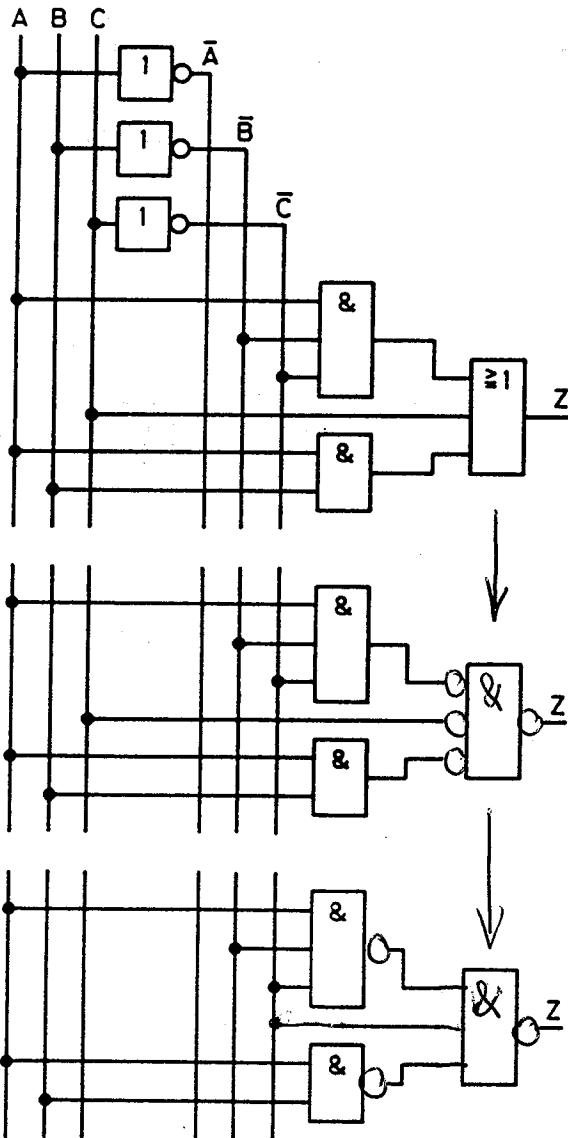


Wie die Darstellung zeigt, lassen sich die drei Grundverknüpfungen UND-, ODER- und NICHT-Funktion sowohl nur aus NAND- als auch nur aus NOR-Gliedern realisieren. Da die drei Grundverknüpfungen ausreichen, um jedes Schaltnetz aufzubauen, ist damit gezeigt, daß man für alle Schaltnetze nur mit NAND- oder nur mit NOR-Gliedern auskommen kann.



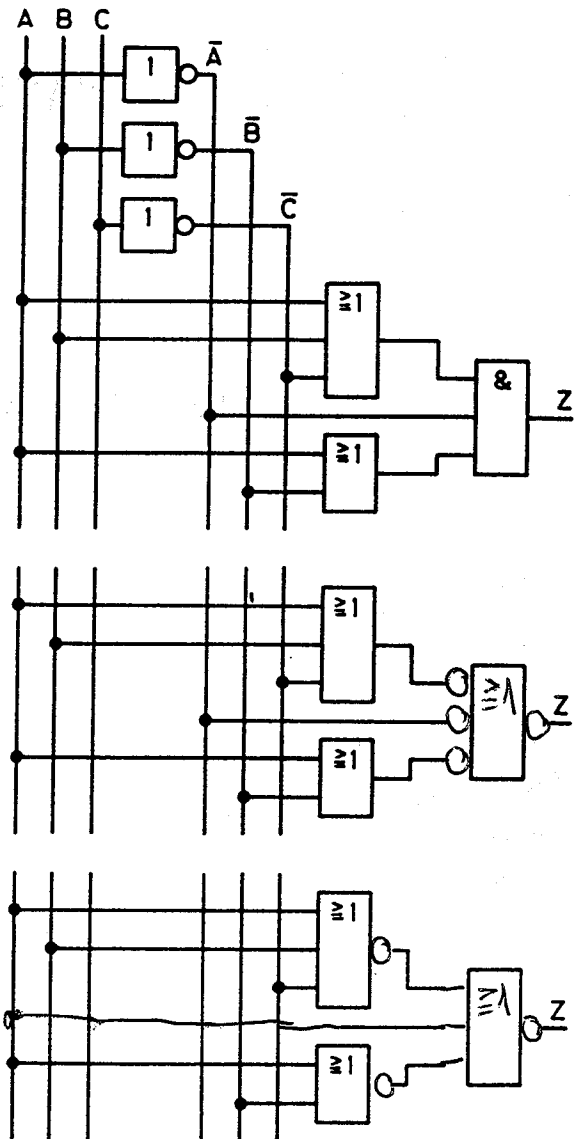
NAND-Glieder können auf mehrere Eingänge erweitert werden durch Zusammenfassen über ein-Glied, NOR-Glieder durch Zusammenfassen über ein-Glied.

disjunktive Normalform



$$\begin{aligned}
 z &= \overline{A}B\overline{C} \vee C\overline{A}B \\
 &= \overline{A}B\overline{C} \vee C\overline{A}B \\
 &= \overline{A}B\overline{C} \vee \overline{C}A\overline{B}
 \end{aligned}$$

konjunktive Normalform



$$\begin{aligned}
 z &= \overline{A}B\overline{C} \wedge (A \vee B \vee \overline{C}) \wedge \overline{A} \wedge (A \vee B) \\
 &= (\overline{A}B\overline{C}) \wedge \overline{A} \wedge (A \vee B) \\
 &= \overline{A}B\overline{C} \vee \overline{A}A\overline{B}
 \end{aligned}$$

Ein in **disjunktiver Normalform** vorliegendes Schaltnetz wird auf **NAND-Glieder** typisiert, indem man sowohl die UND-Glieder als auch das Ausgangs-ODER-Glied durch NAND-Glieder ersetzt. Von einer direkt mit dem Ausgangs-ODER-Glied verbundenen Variablen ist die Negation zu verwenden.

Ein in **konjunktiver Normalform** vorliegendes Schaltnetz wird auf **NOR-Glieder** typisiert, indem man sowohl die ODER-Glieder als auch das Ausgangs-UND-Glied durch NOR-Glieder ersetzt. Von einer direkt mit dem Ausgangs-UND-Glied verbundenen Variablen ist die Negation zu verwenden.

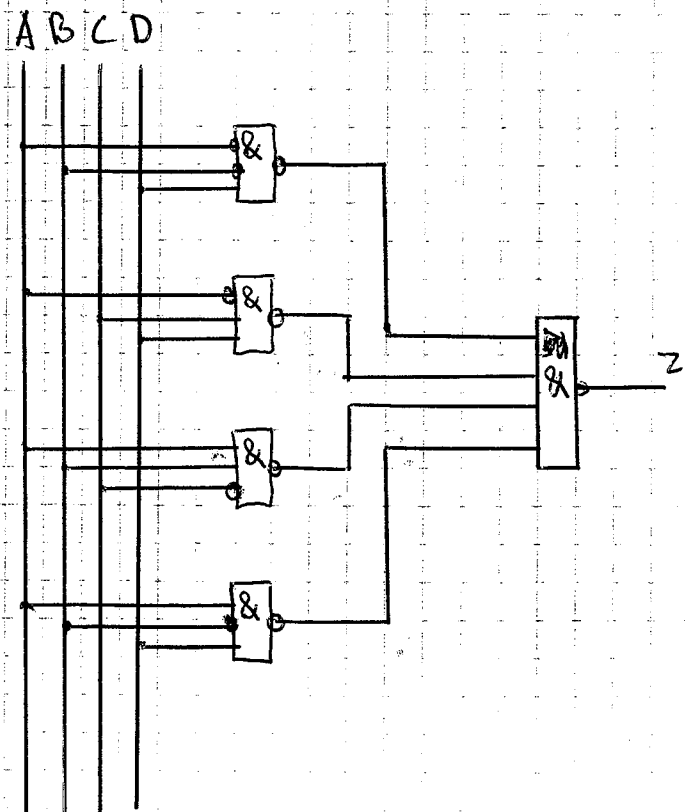
Übung zu Schaltalgebra

Entwerfen Sie für nachstehende Wahrheitstabelle ein Schaltnetz.
Die Schaltfunktion ist in der einfachsten disjunktiven Normalform anzugeben und das Schaltnetz auf NAND-Gliedern typisiert zu zeichnen.

A	B	C	D	Z
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

AB \ CD	00	01	11	10
00	0	0	1	0
01	1	0	1	1
11	1	1	0	1
10	0	0	0	0

$$ABD \vee \bar{A}BCD \vee AB\bar{C} \vee A\bar{B}D$$



Schaltnetzsynthese

Beispiel:

Am Ausgang Z eines Schaltnetzes soll der Zustand 1 bestehen, wenn von den drei Eingängen A, B und C wenigstens zwei im Zustand 1 sind. Das Schaltnetz ist auf NAND-Glieder und auf NOR-Glieder typisiert anzugeben.

A	B	C	Z
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

disjunktive Normalform

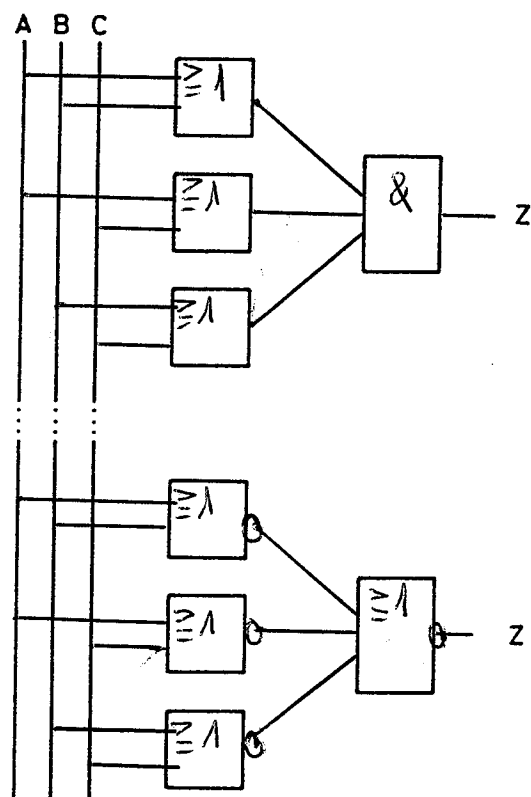
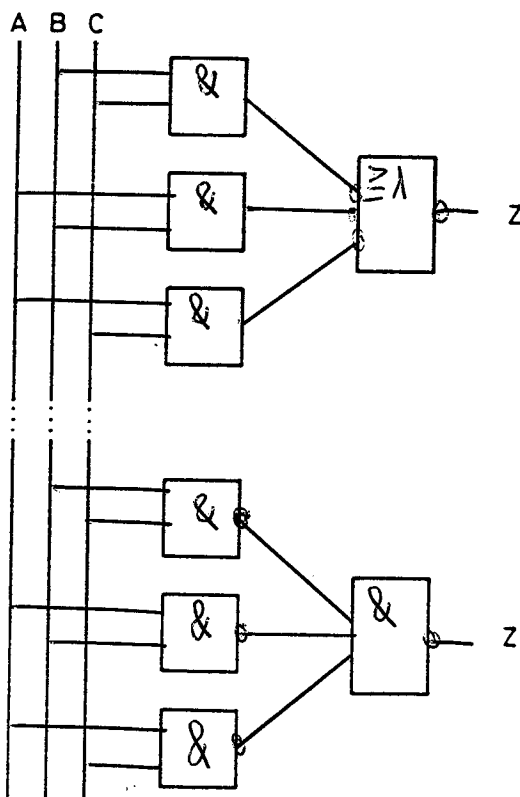
AB\C	00	01	11	10
0	0	0	1	0
1	0	1	1	1

$$z = \underline{BC} \vee \underline{AB} \vee \underline{AC}$$

konjunktive Normalform

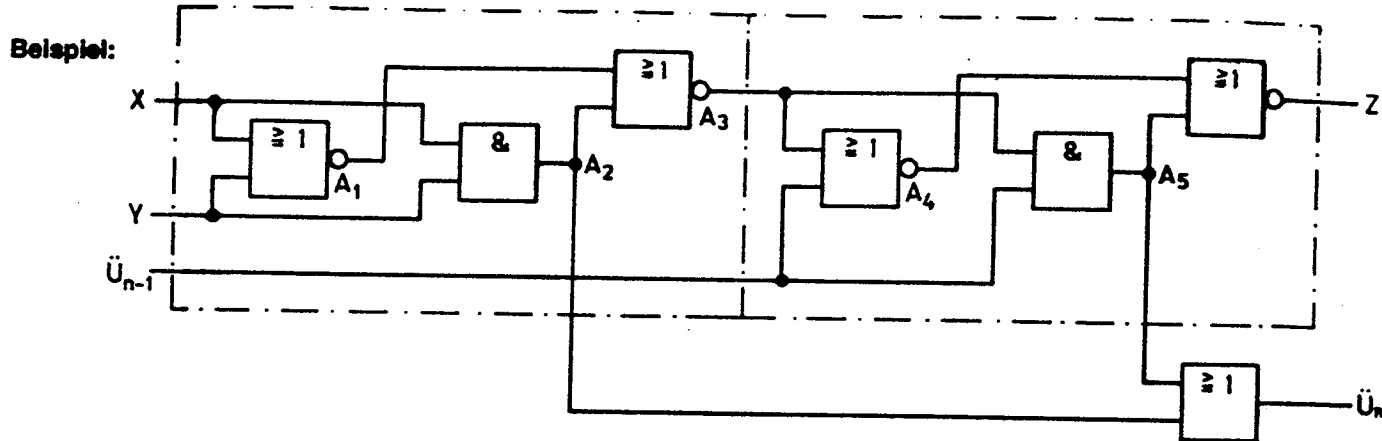
AB\C	00	01	11	10
0	0	0	1	0
1	0	1	1	1

$$z = \underline{\overline{A} \overline{B}} \cdot \underline{\overline{A} C} \cdot \underline{B C}$$

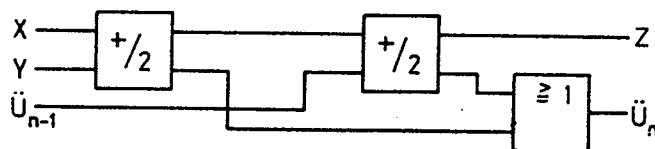
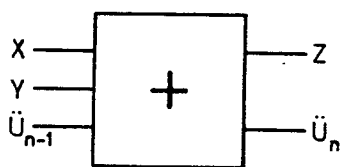


Schaltnetzanalyse

Ziel der Schaltnetzanalyse ist es, die Funktion eines gegebenen Schaltnetzes zu ermitteln, d. h. die Wahrheitstabelle für das Schaltnetz aufzustellen.



X	Y	Ü _{n-1}	A ₁	A ₂	A ₃	A ₄	A ₅	Z	Ü _n
0	0	0	1	0	0	1	0	0	0
0	0	1	1	0	0	0	0	1	0
0	1	0	0	0	1	0	0	1	0
0	1	1	0	0	1	0	1	0	1
1	0	0	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0	0	1
1	1	0	0	1	0	1	0	0	1
1	1	1	0	1	0	0	0	1	1



Volladdierer zusammengesetzt aus zwei Halbaddierer + 1 ODER Gld.

Ein Halbaddierer kann gegenüber einem Volladdierer nur die beiden Summanden, nicht aber den Übertrag aus der vorhergehenden Stelle berücksichtigen.

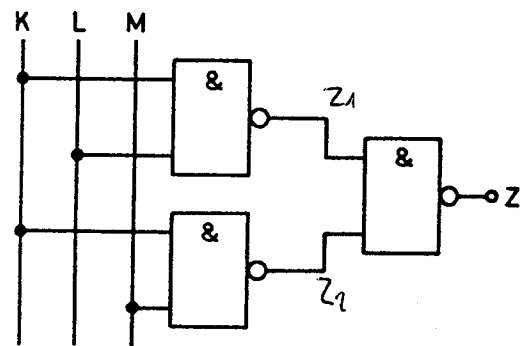
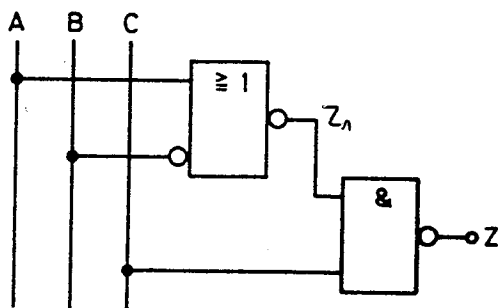
Wahrheitstabelle
des Halbaddierers

X	Y	Z	Ü _n
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

XOR AND

Lesen von Schaltnetzplänen

Verknüpfung	an einem Eingang	erzwingt am Ausgang
UND-	0	0
ODER-	1	1
NAND-	0	1
NOR-	1	0



A	B	C	Z ₁	Z
0	0	0	0	1
0	0	1	0	1
0	1	0	1	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	1
1	1	0	0	1
1	1	1	0	1

K	L	M	Z ₁	Z ₂	Z
0	0	0	1	1	0
0	0	1	1	1	0
0	1	0	1	1	0
0	1	1	1	1	0
1	0	0	1	1	0
1	0	1	1	0	1
1	1	0	0	1	1
1	1	1	0	0	0

$$z = \overline{A} \vee \overline{B} \vee \overline{C}$$

$$= \overline{ABC}$$

$$z = KL \vee M$$

$$= K \cdot (L \vee M)$$

AB \ C	00	01	11	10
0	1	1	1	1
1	1	0	0	1

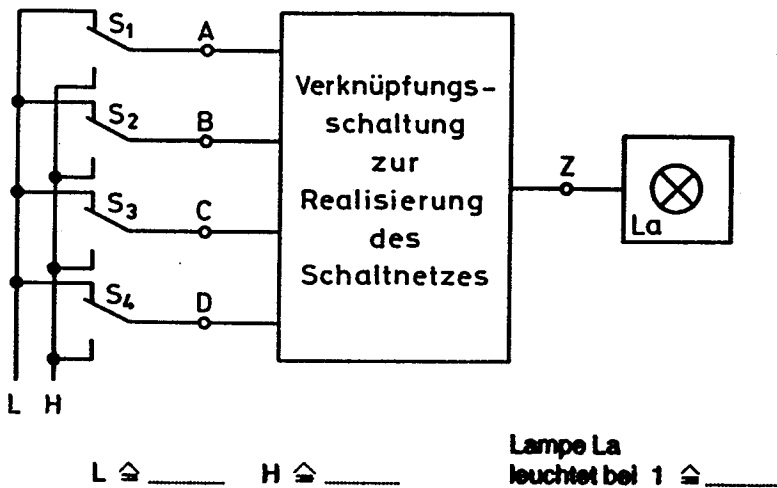
KL \ M	00	01	11	10
0	0	0	1	0
1	0	0	1	1

Untersuchung eines komplexen Schaltnetzes

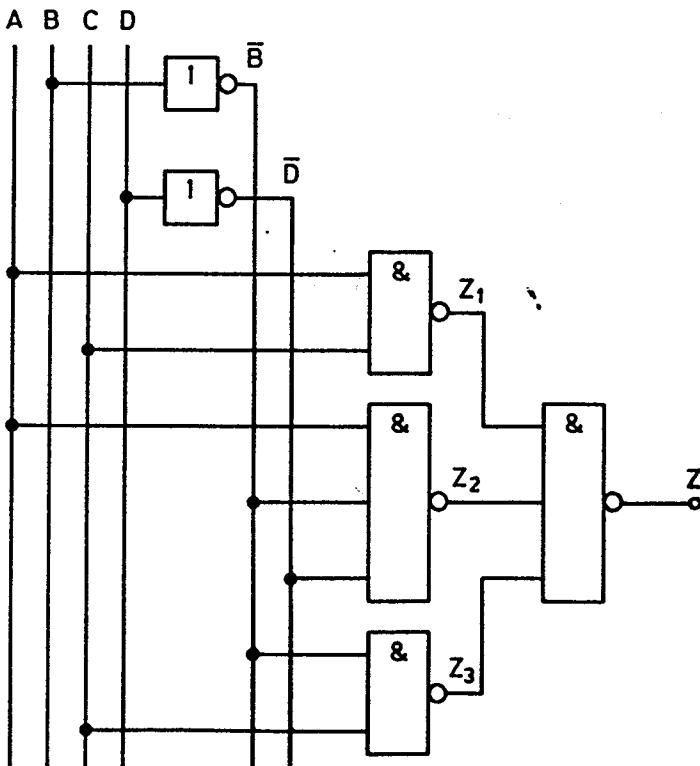
1 Aufgabenstellung

Für das Schaltnetz unter 2 ist die Wahrheitstabelle aufzustellen und durch Aufbau des Schaltnetzes zu überprüfen. Mit der Karnaughtafel ist zu prüfen, ob sich das gegebene Schaltnetz weiter vereinfachen läßt.

2 Meßschaltung und Ergebnisse



Schaltnetz:



A	B	C	D	Z ₁	Z ₂	Z ₃	Z
0	0	0	0	1	1	1	0
0	0	0	1	1	1	1	0
0	0	1	0	1	1	0	1
0	0	1	1	1	1	0	1
0	1	0	0	1	1	1	0
0	1	0	1	1	1	1	0
0	1	1	0	1	1	1	0
0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	1	1
1	0	1	0	0	0	0	1
1	0	1	1	0	1	0	1
1	1	0	0	1	1	1	0
1	1	0	1	1	1	1	0
1	1	1	0	0	1	1	1
1	1	1	1	0	1	1	1

3 Bauteile und Geräte

Verknüpfungsschaltungen aus einer Schaltkreisfamilie

2 NICHT-Schaltungen

2 NAND-Schaltungen mit 2 Eingängen

2 NAND-Schaltungen mit 3 Eingängen

S_{1..4} Signalgeber für statische Binärsignale

La Signallampe für Binärsignale

Spannungsquelle

passend zur verwendeten Schaltkreisfamilie

4 Durchführung

Für das Schaltnetz ist die Wahrheitstabelle unter 2 auszufüllen. Erst dann ist die Schaltung aufzubauen. Für alle Ausgangskombinationen ist der sich ergebende Ausgangspegel unter Berücksichtigung der Zuordnung mit der unter 2 ausgefüllten Tabelle zu vergleichen. Eventuell auftretende Abweichungen sind zu untersuchen und zu beseitigen.

5 Auswertung

Für die Wahrheitstabelle ist eine Karnaughtafel aufzustellen und die einfachste disjunktive Normalform abzulesen. Durch Vergleich mit dem vorgegebenen Schaltnetz unter 2 ist zu prüfen, ob dieses sich noch vereinfachen läßt.

AB \ CD	00	01	11	10
00	0	0	0	1
01	0	0	0	0
11	1	0	1	1
10	1	0	1	0

$$z = \overline{A}\overline{B}CVA\overline{B}CVA\overline{B}CVA\overline{B}\overline{D}$$

$$\overline{B}CVA\overline{B}CVA\overline{B}\overline{D}$$

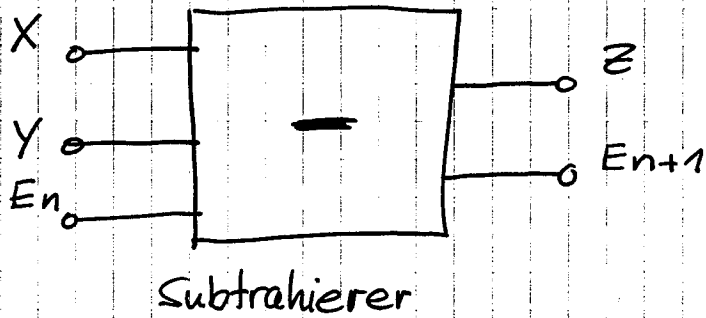
$$\overline{B}CVA\overline{B}CVA\overline{B}\overline{D}$$

Das Schaltnetz der einfachsten disjunktiven Normalform.

Beispiel: 1-Bit-Vollsubtrahierer

Es ist ein 1-Bit-Vollsubtrahierer zu entwerfen, also ein Schaltnetz, das eine Dualziffer von einer anderen unter Berücksichtigung der Entlehnung subtrahieren kann.

Blockschaltbild:



Hinweis: Mit Hilfe der Rechenregeln wird die Wahrheitstabelle aufgestellt (siehe unten); sie gilt für die Rechenoperation $X - Y - E_n$. Das Ergebnis ist Z ; E_n ist die Entlehnung aus der folgenden Stelle.

X	Y	E_n	Z	E_{n+1}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

$$Z = \bar{X}Y E_n \vee X \bar{Y} \bar{E}_n \vee X Y E_n$$

$$E_{n+1} = X \bar{Y} E_n \vee X Y \bar{E}_n \vee \bar{X}$$

Definition

Kippschaltungen sind dadurch gekennzeichnet, daß ihre Ausgangspotentiale nur zwei sich voneinander unterscheidende Bereiche annehmen können, sie sind also Binärschaltungen.

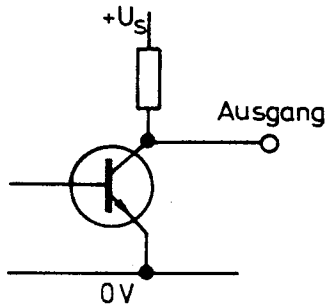
Der Übergang zwischen beiden Wertebereichen erfolgt schlagartig und wird deshalb Kipprausgang genannt.

Schaltungsmerkmal

Bestandteile einer Kippschaltung sind zwei Schaltstufen.

Ausgangssignale

Jede Schaltstufe besitzt einen Ausgang, an dem folgende Ausgangspotentiale anliegen können:



Transistor leitend,
Potential am Ausgang: $0 \hat{=} L$

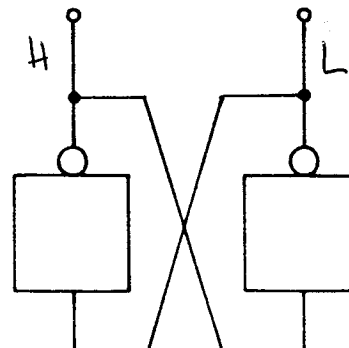
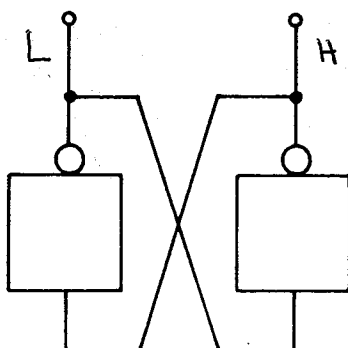
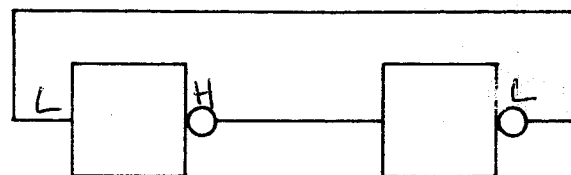
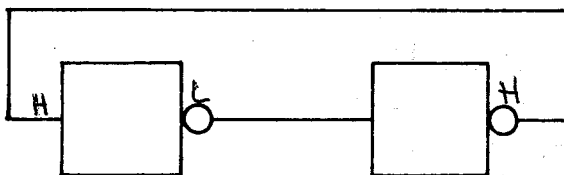
Transistor gesperrt,
Potential am Ausgang: $+U_s \hat{=} H$

Schaltungszustände

Man unterscheidet bei Kippschaltungen mögliche elektrische Schaltungszustände. Diese sind:

Schaltstufe 1	Schaltstufe 2
leitend.....	gesperrt.....

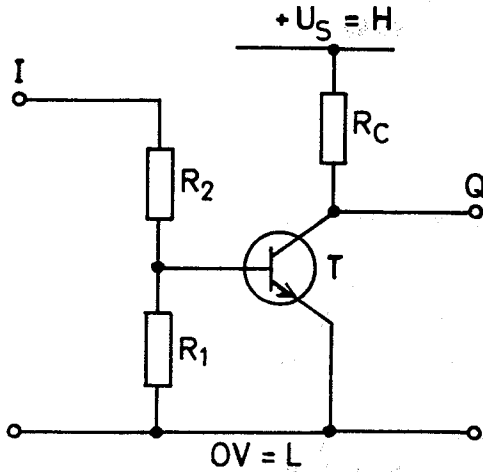
Schaltstufe 1	Schaltstufe 2
gesperrt.....	leitend.....



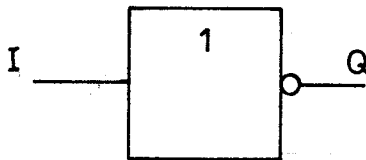
Schaltstufen

In Kippschaltungen finden zwei Arten von Schaltstufen Anwendung:

Statisch gesteuerte Schaltstufe Schaltung:



Schaltzeichen:

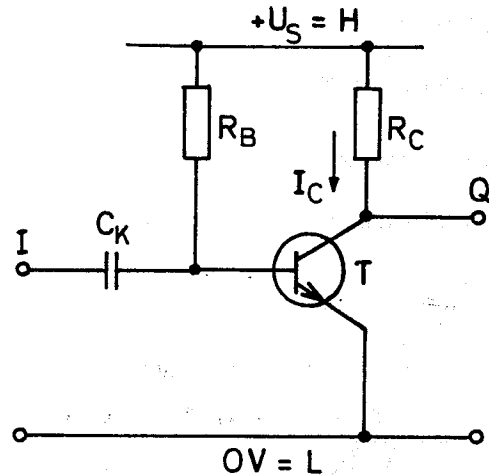


Arbeitstabelle:

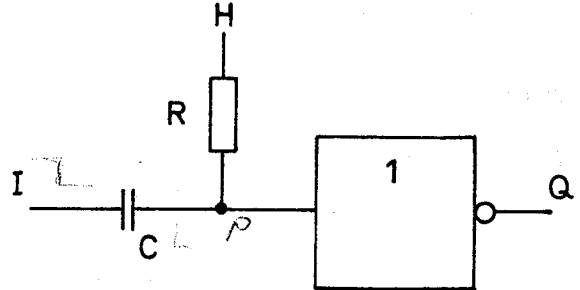
I	Q
L	H
H	L

s. Arbeitsblatt A 2.8

Dynamisch gesteuerte Schaltstufe Schaltung:



Schaltzeichen:



Arbeitstabelle:

I	Q
L	L
L → H	L
H	L
H → L	H

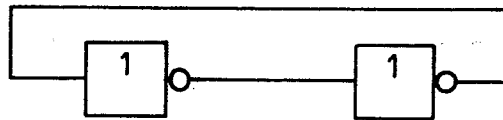
Der über den Widerstand R fest anliegende Pegel H bewirkt den stabilen Ausgangspegel L. Ein Pegel L am Eingang kann am Ausgang nur für die Ladezeit des Kondensators C den Pegel H erzeugen. Dieser Ausgangspegel ist daher nicht stabil; man nennt ihn metastabil.

s. Arbeitsblatt A 3.8

Arten

1. Bistabile Kippschaltung

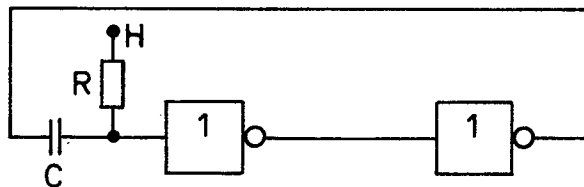
Beide Schaltzustände sind stabil, weil zwei statisch gesteuerte Schaltstufen verwendet werden.



Zur Ablösung jedes stabilen Zustandes ist eine erforderlich.

2. Monostabile Kippschaltung

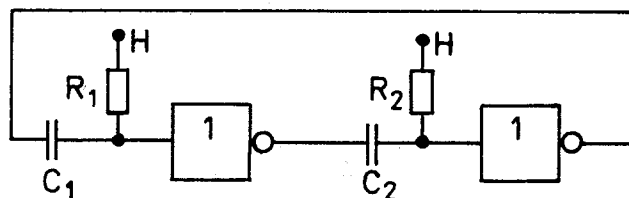
Einer der beiden Schaltzustände ist stabil, der andere metastabil, weil sie aus einer statisch und einer dynamisch gesteuerten Schaltstufe besteht.



Zur Ablösung des stabilen Zustandes ist eine äußere Ansteuerung erforderlich, der metastabile Zustand endet selbsttätig nach einer von RC abhängigen Zeit.

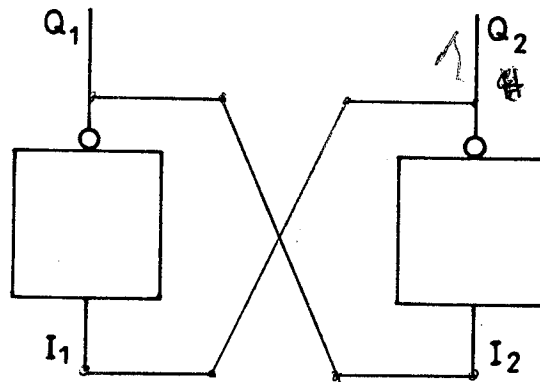
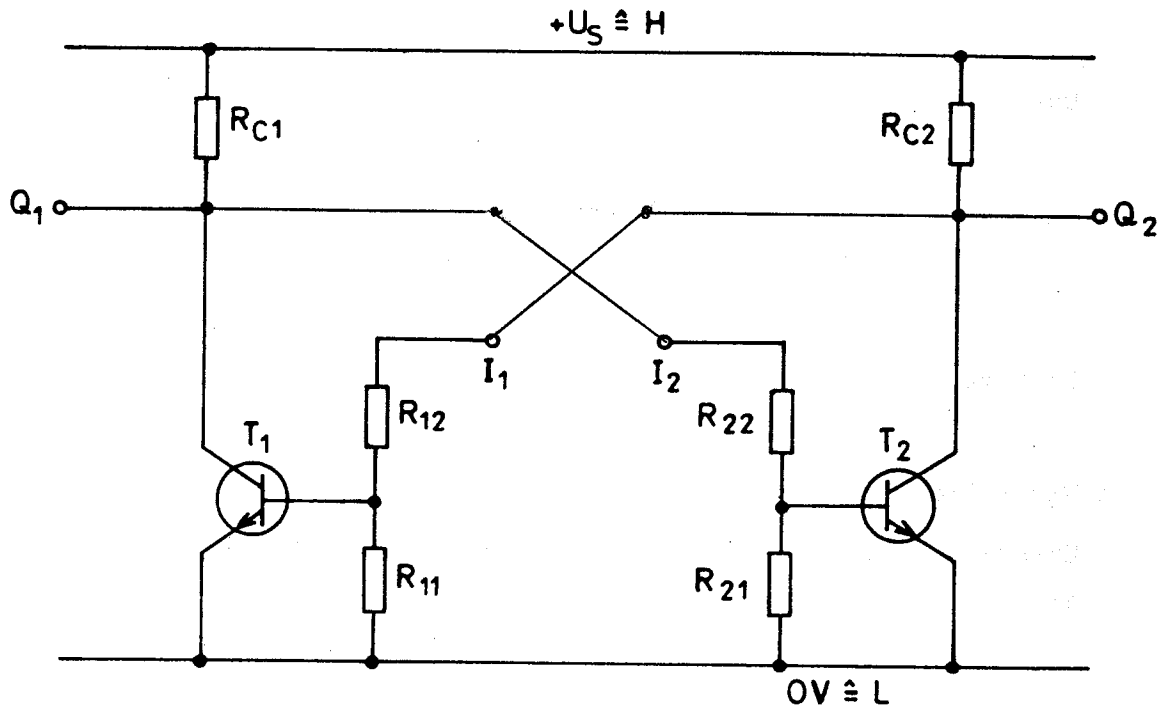
3. Astabile Kippschaltung

Beide Schaltzustände sind metastabil, weil sie aus zwei dynamisch gesteuerten Schaltstufen gebildet wird.



Die metastabilen Zustände beider Schaltstufen lösen sich gegenseitig ab, die astabile Kippschaltung kippt also ständig in einem von C1R1 und C2R2 abhängigen Rhythmus.

Grundschtung



Die beiden stabilen Zustände werden zunächst Ruhe- und Arbeitslage genannt, wobei wegen der Symmetrie der Schaltung die Zuordnung beliebig ist.

Annahme:

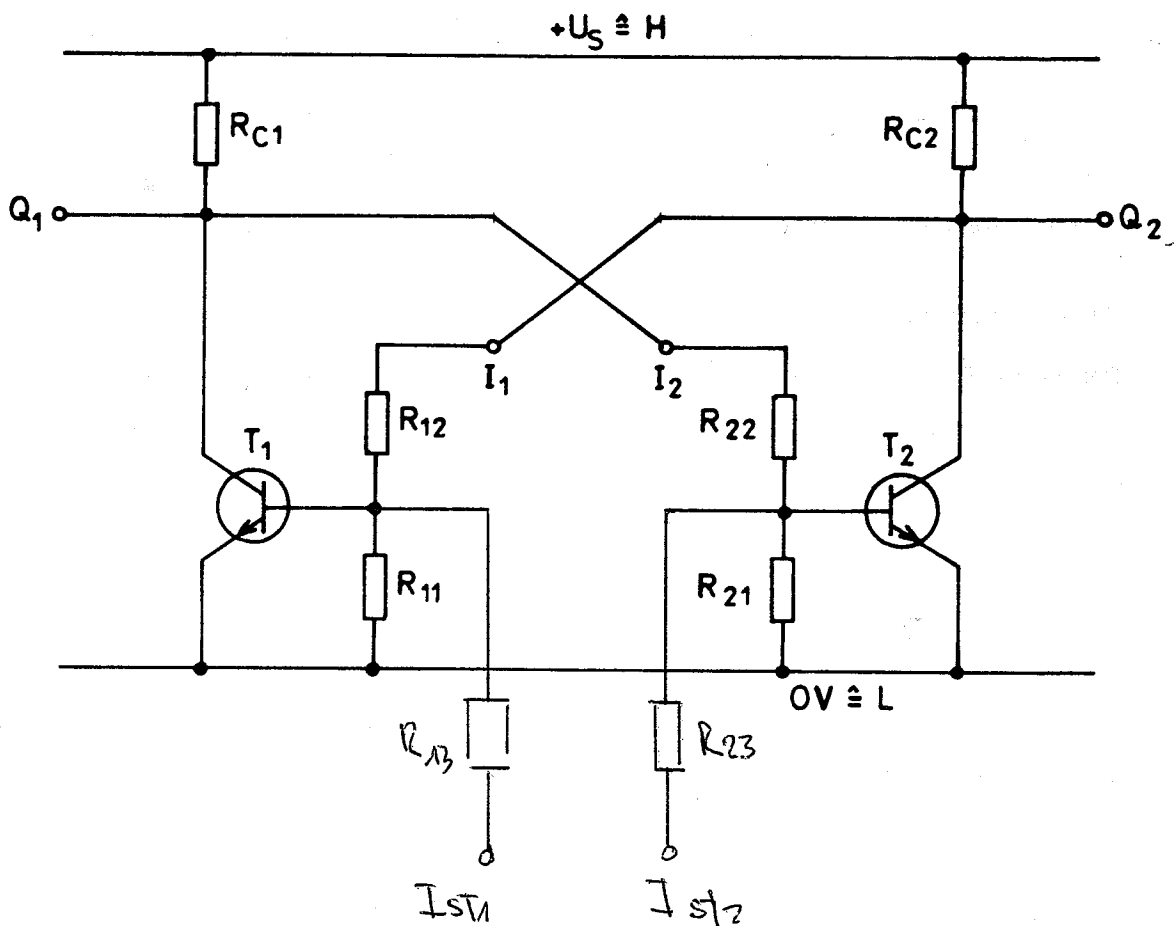
- Ruhelage:** T_1 leitend; dabei ist $Q_1 = L$
 dazu ist erforderlich $I_1 = H (= Q_2)$
 T_2 gesperrt; dabei ist $Q_2 = H$
 dazu ist erforderlich $I_2 = L (= Q_1)$
- Arbeitslage:** T_1 gesperrt; dabei ist $Q_1 = H$
 dazu ist erforderlich $I_1 = L (= Q_2)$
 T_2 leitend; dabei ist $Q_2 = L$
 dazu ist erforderlich $I_2 = H (= Q_1)$

Statische Steuerungsarten

Die Grundsaltung von Arbeitsblatt A 4.4 muß erweitert werden, damit sie jeweils von einer Lage in die andere gesteuert werden kann.

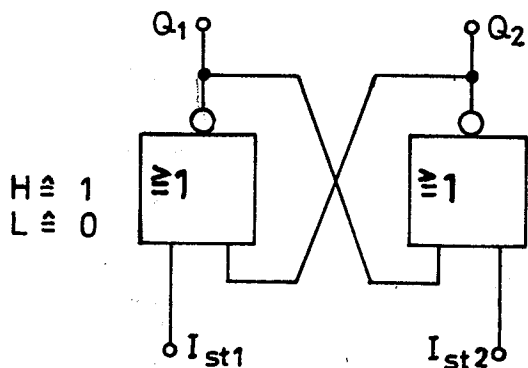
1. Ungetaktete Zustandssteuerung

Prinzip: Die statisch gesteuerten Schaltstufen erhalten einen zweiten Eingang, so daß sie nicht nur von der jeweils anderen Schaltstufe, sondern auch von außen gesteuert werden können.

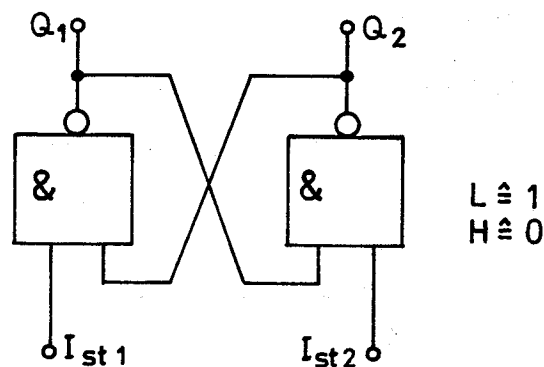


Die Schaltung kippt, sobald H an den zum gespeisten Transistor gehörenden statischen Eingang gelegt wird. Die Widerstände sind so dimensioniert, daß L an einem statischen Eingang keinen Einfluß auf den Leit-zustand des zugehörigen Transistors hat.

Da jede Schaltstufe der Kippschaltung auf Arbeitsblatt A 4.5.1 eine H-NOR- bzw. L-NAND-Schaltung ist, läßt sich die bistabile Kippschaltung mit ungetakteter Zustandssteuerung auch wie folgt darstellen:



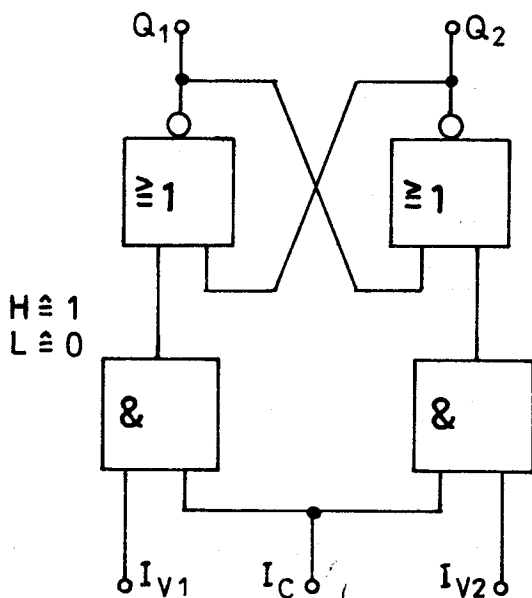
Eine 1 an I_{st1} erzwingt eine 0 am darüberliegenden Ausgang Q .



Eine 0 an I_{st} erzwingt eine 1 am darüberliegenden Ausgang Q .

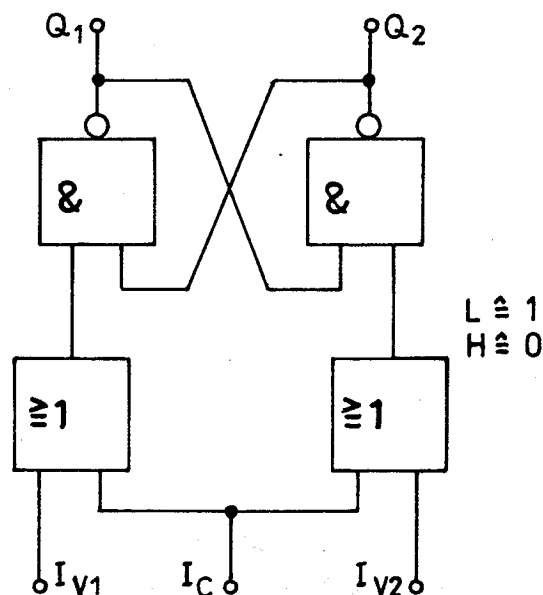
2. Taktzustandssteuerung

Prinzip: Die Eingänge zum Steuern der Kippschaltung werden durch den Zustand eines Taktes an einem besonderen Takteingang I_C freigegeben und werden als Informations- oder Vorbereitungseingänge I_V bezeichnet.



Die Freigabe der Vorbereitungseingänge erfolgt durch den Taktzustand 1.

Eine 1 an I_V mit gleichzeitig 1 an I_C erzwingt eine 0 am darüberliegenden Ausgang Q .

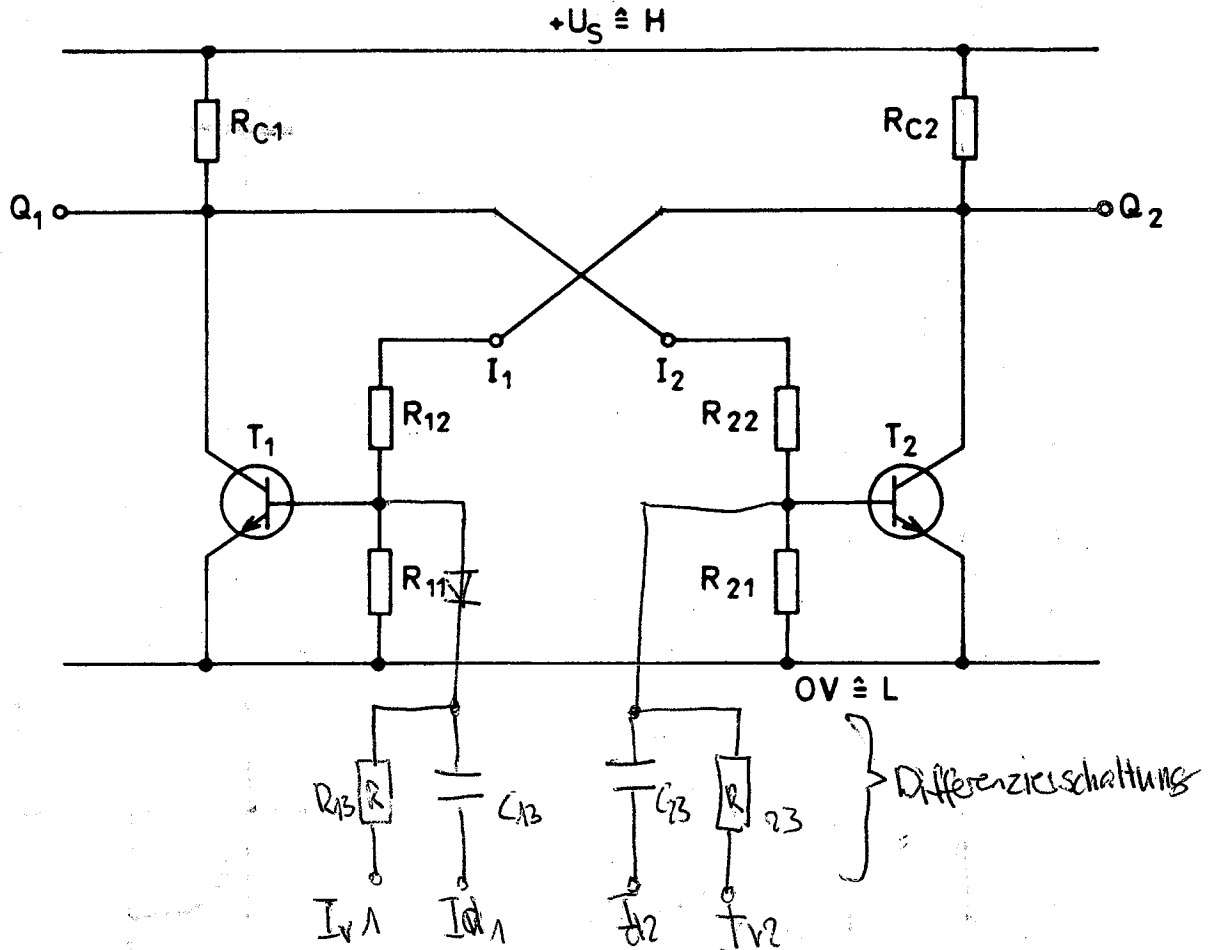


Die Freigabe der Vorbereitungseingänge erfolgt durch den Taktzustand 0.

Eine 0 an I_V mit gleichzeitig 0 an I_C erzwingt eine 1 am darüberliegenden Ausgang Q .

Dynamische Steuerungsarten

Die Eingangsschaltungen sind RC-Differenzierschaltungen. Zur Ansteuerung sind daher Zustandswechsel erforderlich.



Die Schaltung kippt, wenn der Leitende Transistor

am Vorbereitungseingang I_V mit 0V ≅ L und

am dynamischen Eingang I_d mit einem Übergang von H nach L angesteuert wird.

(Wirkungsweise s. Arbeitsblatt A 4.6.2)

1. Taktflankensteuerung

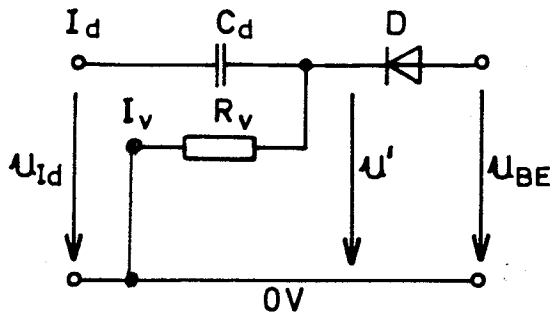
Beide dynamischen Eingänge I_d werden zu einem gemeinsamen Takteingang I_C verbunden.

Die Vorbereitungseingänge I_V zum Steuern der Kippschaltung werden nur von einer Taktflanke freigegeben.

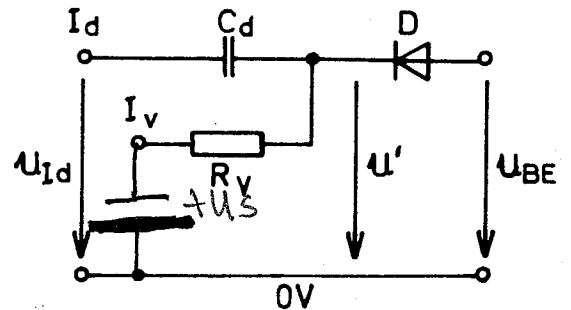
2. Ungetaktete Flankensteuerung

Die dynamischen Eingänge I_d sind die Steuereingänge; die Vorbereitungseingänge I_V werden so beschaltet, daß die dynamischen Eingänge ständig wirksam sind, z. B.: in obiger Schaltung beide mit L-Pegel.

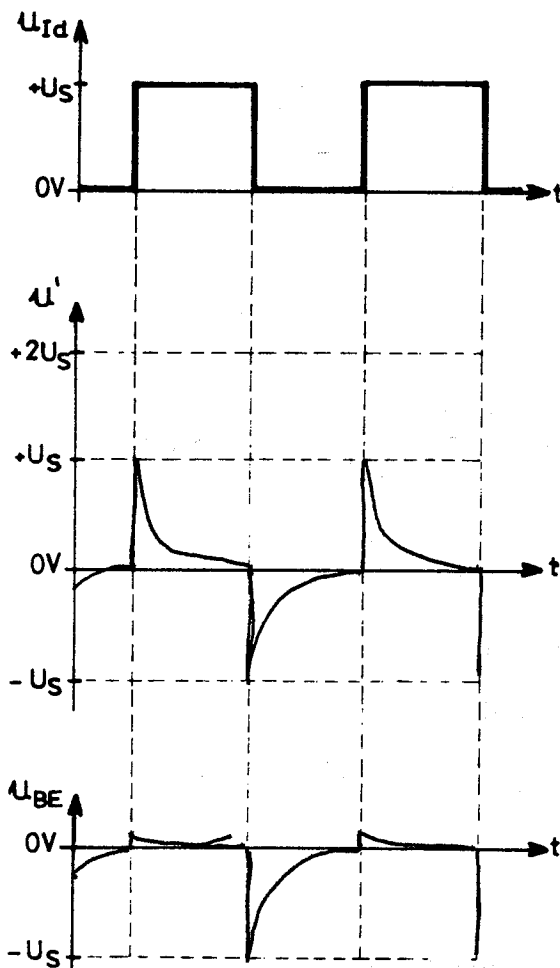
Wirkungsweise des dynamischen Eingangs



Vorbereitungspotential: $0V = L$



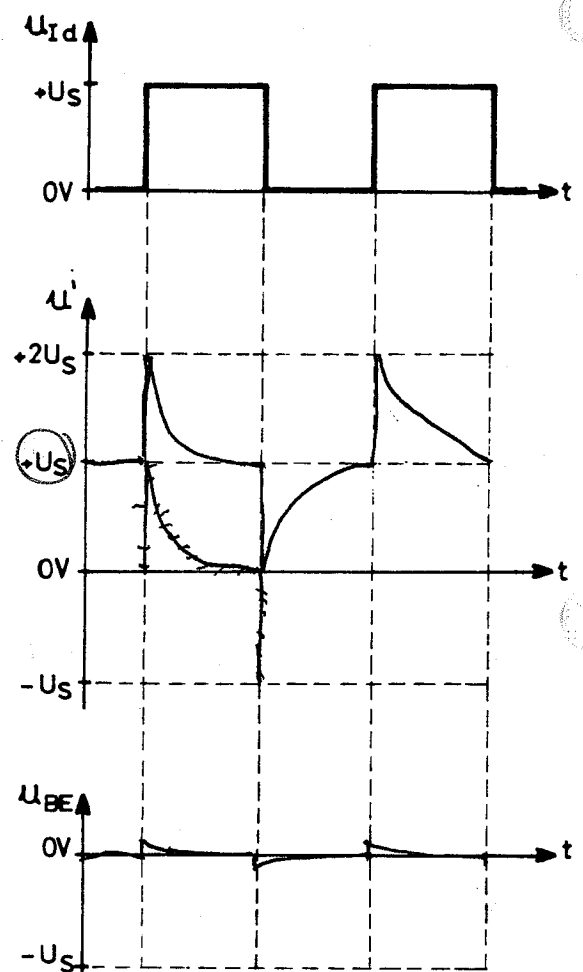
Vorbereitungspotential: $+U_S = H$



Es entstehen negative Impulse

Der zugehörige Transistor kann gespeist werden

Der dynamische Eingang ist wirksam



Es entstehen keine negative Impulse

Der zugehörige Transistor kann nicht gespeist werden

Der dynamische Eingang ist unwirksam

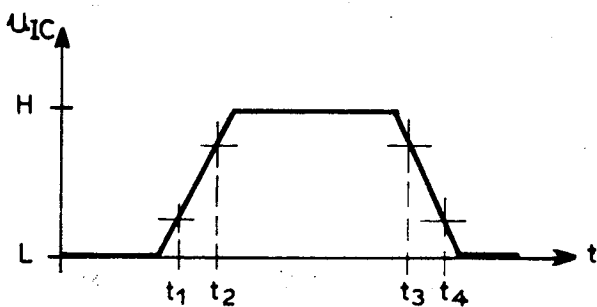
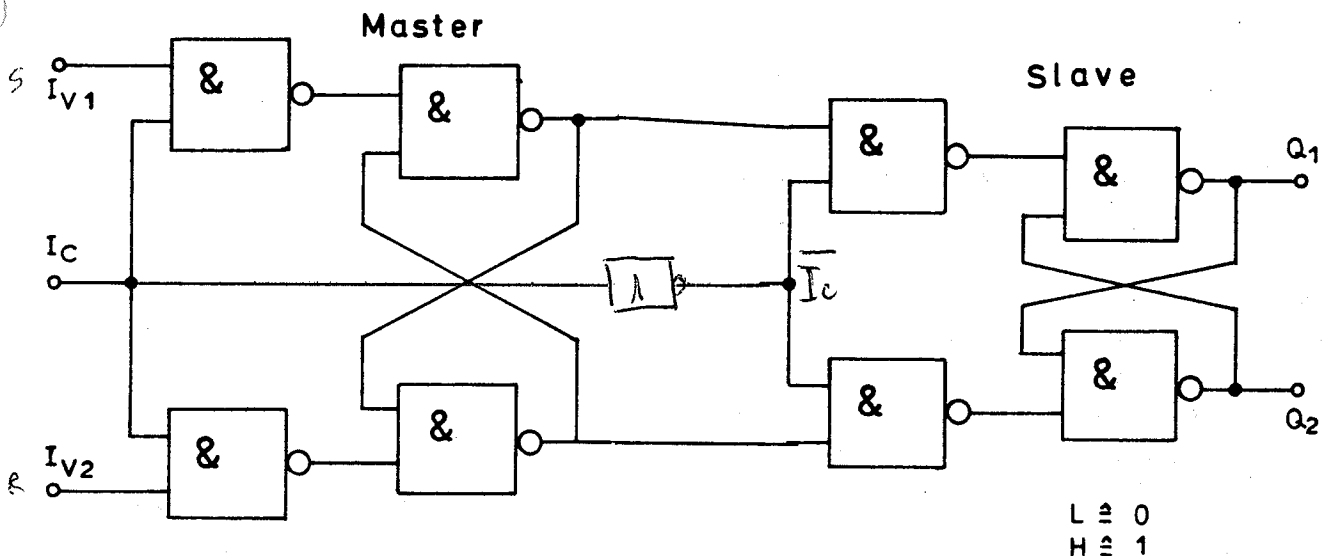
Ansteuerung über Zwischenspeicher

Für viele Anwendungen der Kippschaltung ist erforderlich, daß die Vorbereitungseingänge bereits schon dann nicht mehr wirksam sind, wenn die Ausgangssignale entstehen.

Die taktflankengesteuerte Kippschaltung nach Arbeitsblatt A 4.6.1 besitzt diese Eigenschaft durch die Zwischenspeicherwirkung der Kondensatoren C_d .

Da sich bei integrierten Schaltungen Kapazitäten nur schwierig realisieren lassen, verwendet man hier zur Zwischenspeicherung Kippschaltungen. Beispiel:

Master-Slave-Kippschaltung



- t_1 : Slave vom Master getrennt
- t_2 : Signaleingabe vom I_V in Master
- t_3 : I_V vom Master trennen
- t_4 : Übergabe vom Master in Slave

Taktzustand H: Eingabe von den Informationseingängen in den Master

Taktzustand L: Übergabe des Masterzustandes in den Slave

Diese Steuerung wird daher als Zweizustandsteuerung bezeichnet. Im Vergleich zur Taktflankensteuerung (A 4.6.1) entsteht das Ausgangssignal verzögert, nämlich erst dann, wenn der Taktzustand wieder ist.

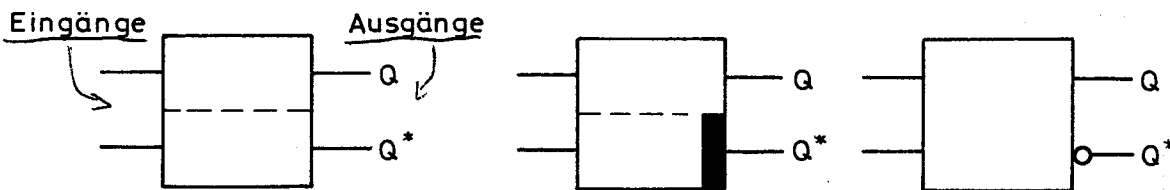
Mit komplexeren Anordnungen lassen sich auch taktflankengesteuerte Kippschaltungen ohne Kondensatoren aufbauen, und zwar sowohl mit Einflankensteuerung als auch mit Zweiflankensteuerung (Master-Slave-Anordnung).

Symbole nach DIN 40700, Teil 14

Für bistabile Kippschaltungen gibt es Schaltzeichen. Das gleiche Symbol wird wie bei Verknüpfungsschaltungen (s. A 2.7) auch als Funktionssymbol verwendet und ist dann ein Kippglied.

Das Symbol

- beschreibt als Funktionssymbol die Kippfunktion mit
- kennzeichnet als Schaltzeichen eine Kippschaltung. Dabei ist die Angabe der Zuordnung erforderlich, weil die Schaltung die Pegel und nicht Binärzeichen verarbeitet.



$Q = 0$ und $Q^* = 1$: Rücksetzzustand (Ruhelage)

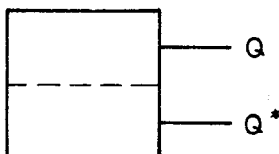
$Q = 1$ und $Q^* = 0$: Setzzustand (Arbeitszustand)

Eingänge:

Bezeichnung	auslösende Anregung	Symbol
Eingang für Zustandssteuerung	1	
	0	
Eingang für Flankensteuerung	$0 \rightarrow 1$	
	$1 \rightarrow 0$	

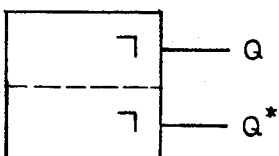
Im Symbol werden die Eingänge immer auf der Seite des Kippgliedes angeordnet, auf der sie bei einer auslösenden Anregung eine 1 am Ausgang bewirken.

Ausgänge:



Der Zustandswechsel des Kippgliedes wird an den Ausgängen sofort wirksam.

Retardierte Ausgänge:



Der Zustandswechsel des Kippgliedes wird an den Ausgängen erst dann wirksam wenn die zugehörige Eingangsvariable wieder zu ihrem ursprünglichen Wert zurückkehrt.

Masken-Steueranschlüsse haben retardierte Ausgänge.

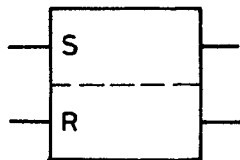
Abhängigkeit zwischen Eingängen

Die Abhängigkeit eines Einganges von einem Steuereingang (z. B. bei Taktsteuerung) wird wie folgt angegeben:

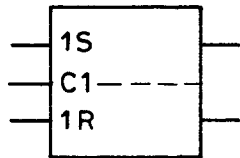
Dem Kennzeichen des Steuereinganges wird
eine Zählnummer nachgesetzt,
dem Kennzeichen des gesteuerten Eingangs wird
die gleiche Zählnummer vorgesetzt.

C = Steuerabhängigkeit
Q = Unabhängigkeit
V = ODER "
S = Setz "
R = Rücksetz "

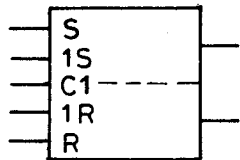
Beispiele:



S und R sind unabhängig voneinander

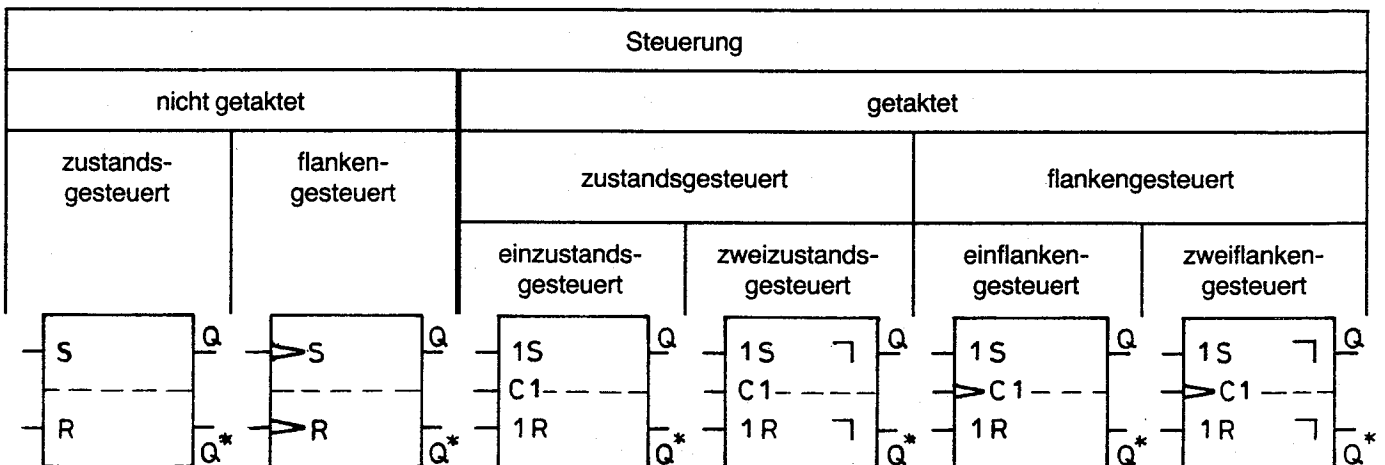


1S und 1R sind von C1 abhängig

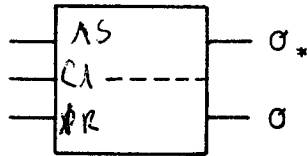


1S und 1R sind von C1 abhängig
S und R unabhängige Eingänge

Symbole für die verschiedenen Steuerungsarten



RS-Verhalten *Einzustand gesteuertes KG, getaktet*



C = Takteingang
S = Eingang zum Setzen
R = Eingang zum Rücksetzen

Eine Steuerung an 1S bringt beim Takt $Q = 1$ und $Q^* = 0$,

eine Steuerung an 1R bringt beim Takt $Q = 0$ und $Q^* = 1$.

Werden beide gleichzeitig wirksam gesteuert, so entsteht, solange $C = 1$ ist, der pseudostabile Zustand $Q = Q^*$ ($= 0$ oder 1 je nach Schaltung und Zuordnung). Am Ende des Taktes geht das Kippglied unkontrolliert in den Setz- oder Rücksetzzustand.

Wahrheitstabelle

t_n		t_{n+1}		Bemerkungen
S	R	Q	Q*	
0	0	Q	Q	KG kippt nicht (keine Änderung), Q und Q* behalten ihren Zustand
0	1	0	1	Kippglied geht in Rücksetzlage - und bleibt in Rücksetz.
1	0	1	0	KG geht in Setzlage oder behält diese bei
1	1	undef.		KG nimmt nicht vorhersehbare Lage an

Unter t_n stehen die Ansteuerungen vor dem Takt,

unter t_{n+1} die Ausgangswerte nach dem Takt.

Zustandsfolgetabelle

Zustandsfolge $Q_n \rightarrow Q_{n+1}$	S	R
0 \rightarrow 0	0	X
0 \rightarrow 1	1	0
1 \rightarrow 0	0	1
1 \rightarrow 1	X	0

Unter Zustandsfolge versteht man die Folge der Zustände vor und nach dem Taktimpuls

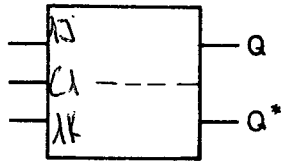
In den Spalten für S und R sind die Steuerungen angegeben, bei denen sich die in der linken Spalte vorgegebene Zustandsfolge für Q bei einem Takt ergibt.

X bedeutet: 0 oder 1 beliebig.

RS-Kippglieder gibt es für alle Steuerungsarten (s. A 4.8.2).

Alle bisher behandelten Schaltungen realisieren RS-Kippglieder.

JK-Verhalten



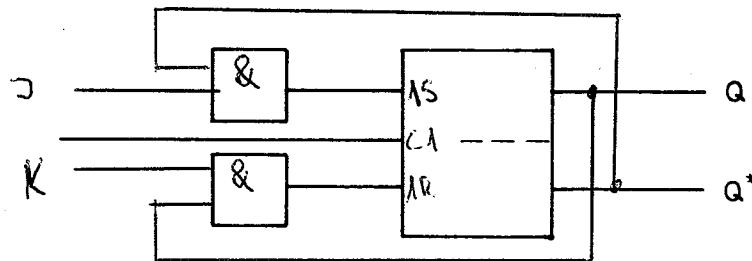
- C = Takteingang
- J = Eingang zum Setzen
- K = Eingang zum Rücksetzen

Eine Steuerung an 1J bringt beim Takt $Q = 1$ und $Q^* = 0$,

eine Steuerung an 1K bringt beim Takt $Q = 0$ und $Q^* = 1$.

Werden beide gleichzeitig wirksam gesteuert, so ändert das Kippglied bei jedem Takt seinen Zustand.

JK-Kippglieder ergeben sich aus RS-Kippgliedern durch folgende Erweiterung:



Wahrheitstabelle

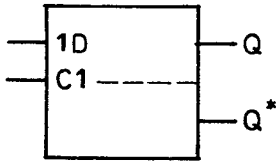
\uparrow	t_n	t_{n+1}	
	K	Q	Q*
0	0	Q_n	Q_n^*
0	1	0	1
1	0	1	0
1	1	Q_n^*	Q_n

Zustandsfolgetabelle

Zustandsfolge $Q_n \rightarrow Q_{n+1}$	J	K
0 \rightarrow 0	0	X
0 \rightarrow 1	1	X
1 \rightarrow 0	X	1
1 \rightarrow 1	X	0

JK-Kippglieder gibt es nur mit Flanken- und Zweizustandssteuerung.

D-Verhalten sind als Speicherelement für Binärwerte geeignet

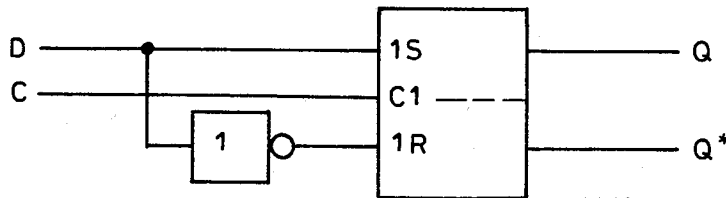


C = Takteingang
D = Eingang zum Setzen
und Rücksetzen

Eine 1 an 1D bringt beim Takt $Q = 1$ und $Q^* = 0$.

eine 0 an 1D bringt beim Takt $Q = 0$ und $Q^* = 1$.

D-Kippglieder ergeben sich aus RS-Kippgliedern durch folgende Erweiterung:



Wahrheitstabelle

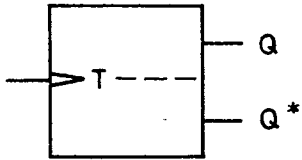
t_n D	t_{n+1}	
	Q	Q^*
0	0	1
1	1	0

Zustandsfolgetabelle

Zustandsfolge $Q_n \rightarrow Q_{n+1}$	D
0 \rightarrow 0	0
0 \rightarrow 1	1
1 \rightarrow 0	0
1 \rightarrow 1	1

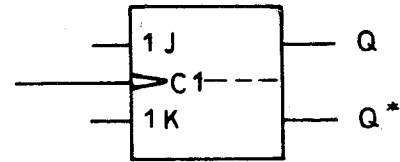
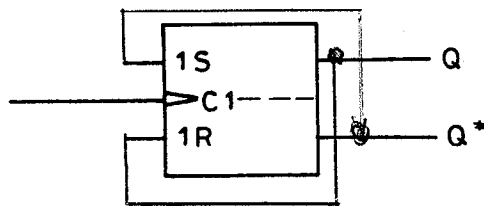
D-Kippglieder gibt es nur mit Taktsteuerung.

T-Verhalten



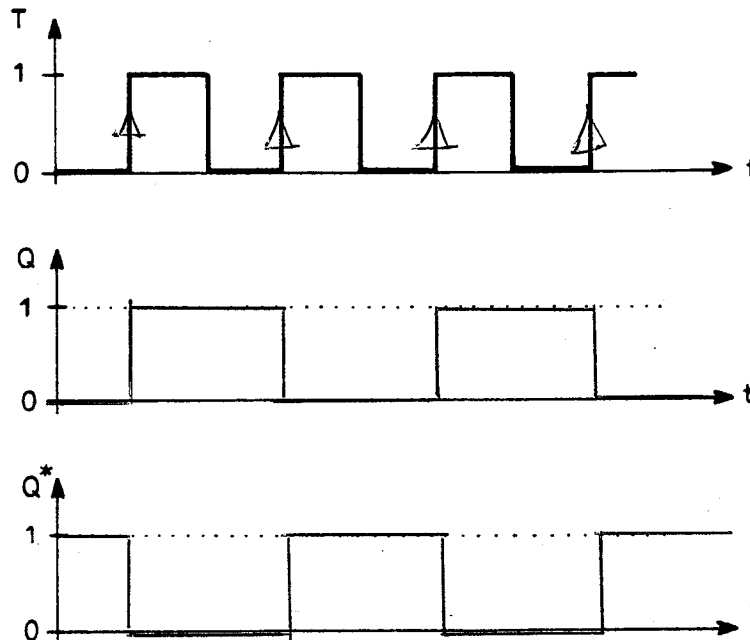
Jede wirksame Ansteuerung an T bewirkt einen Zustandswechsel des Kippgliedes.

T-Kippglieder ergeben sich aus RS- und JK-Kippgliedern wie folgt:



T-Kippglieder gibt es nur mit Flanken- und Zweizustandssteuerung.

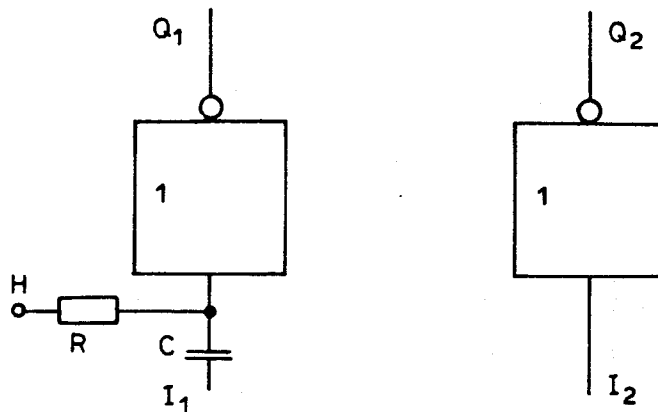
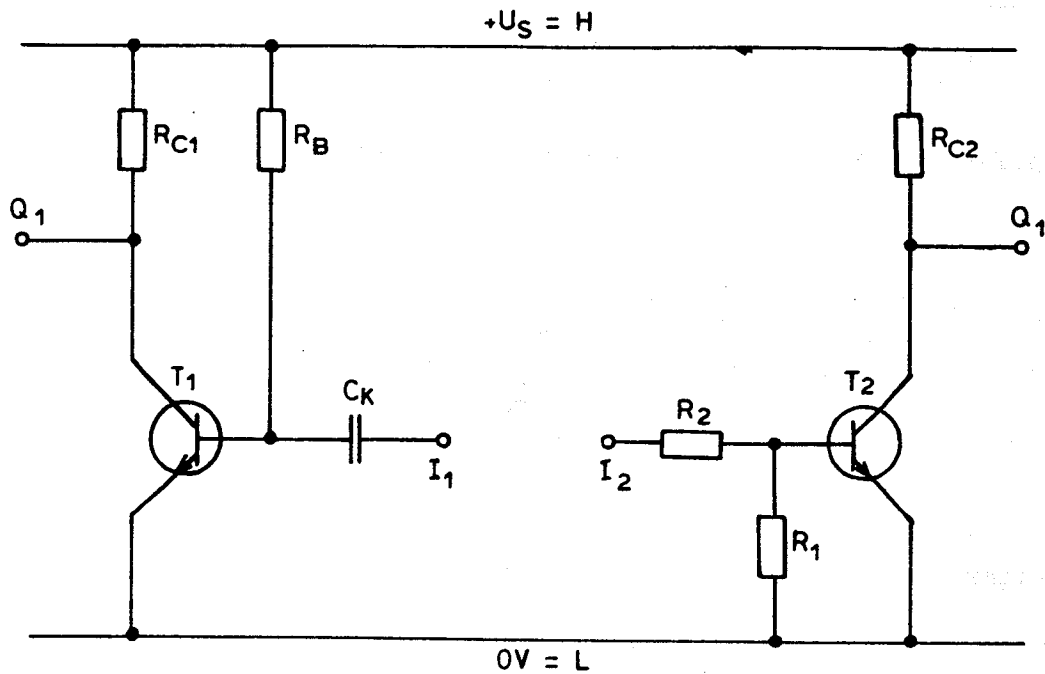
Impulsdiagramm



Wie das Impulsdiagramm zeigt, halbiert ein T-Kippglied die Frequenz. Es wird deshalb auch als Binärteiler bezeichnet.

Grundschtung

Die monostabile Kippschaltung setzt sich aus und
..... zusammen.



Im stabilen Zustand (Rücksetzzustand) ist Transistor T_1
und Transistor T_2 $Q_1 =$ $Q_2 =$

Im metastabilen Zustand (Setzzustand) ist Transistor T_1
und Transistor T_2 $Q_1 =$ $Q_2 =$

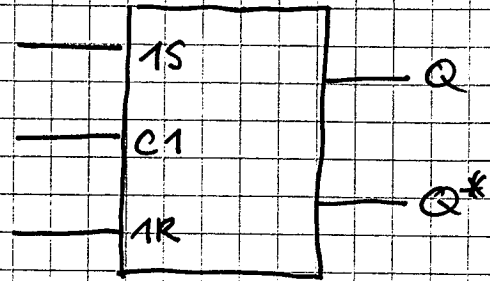
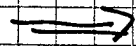
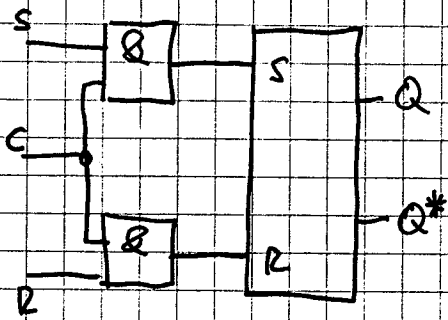
Der metastabile Zustand wird eingeleitet durch

Der metastabile Zustand wird begrenzt durch

Dauer des metastabilen Zustandes: $t =$

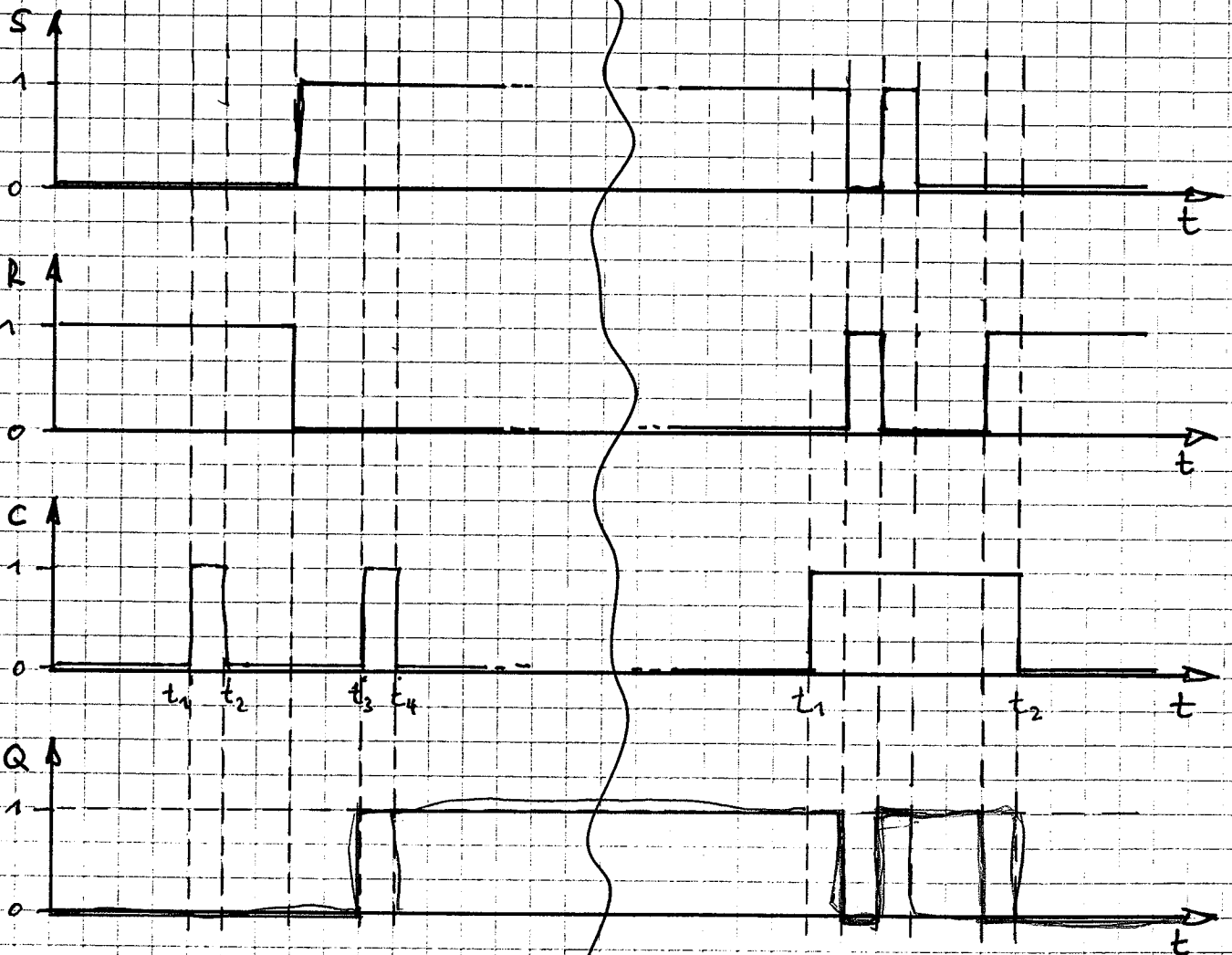
Beispiel: Getaktetes Kippglied, Einzustandssteuerung
(RS-Kippglied)

[Vergleich: Einzustandssteuerung / Einflankensteuerung]



entsprechende Anordnung

zusammenfassendes Normsymbol



Informationssteuerung mit
einzustandsgesteuertem
Taktingang

Informationssteuerung mit
einzustandsgesteuertem
Taktingang

Zeitpunkt t_n		Zeitpunkt t_{n+1}	
\bar{R}	\bar{S}	Q	Q*
L	H	L	H
H	L	H	L
H	H	q_n	$\overline{q_n}$
L	L	H	H
L → H	L → H	H oder L	L oder H

} irregulär

} nicht definiert

Bild 1: Arbeitstabelle des \overline{RS} -Flipflop

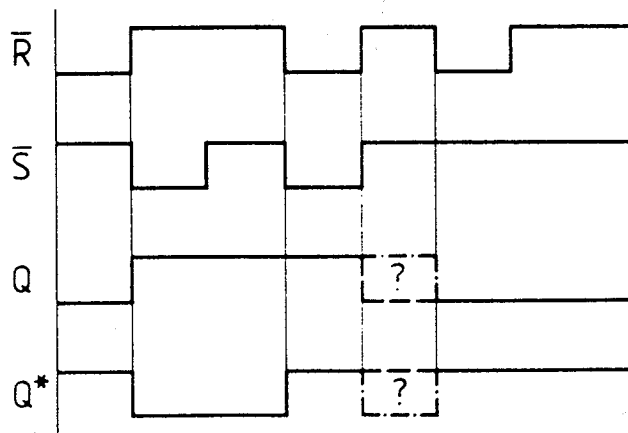


Bild 2: Zeitablaufdiagramm des \overline{RS} -Flipflop

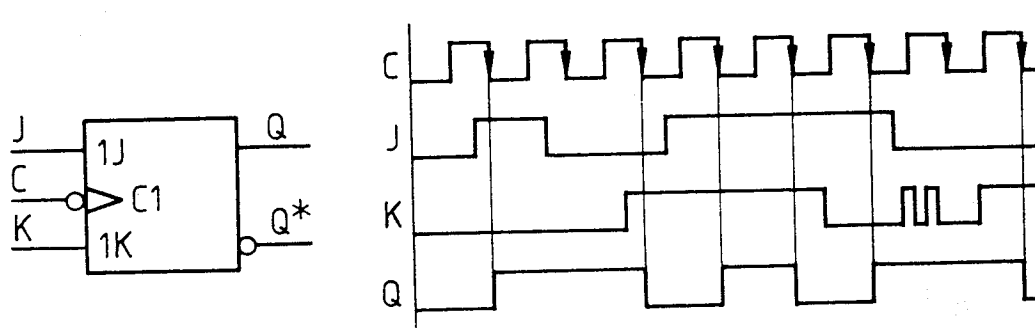
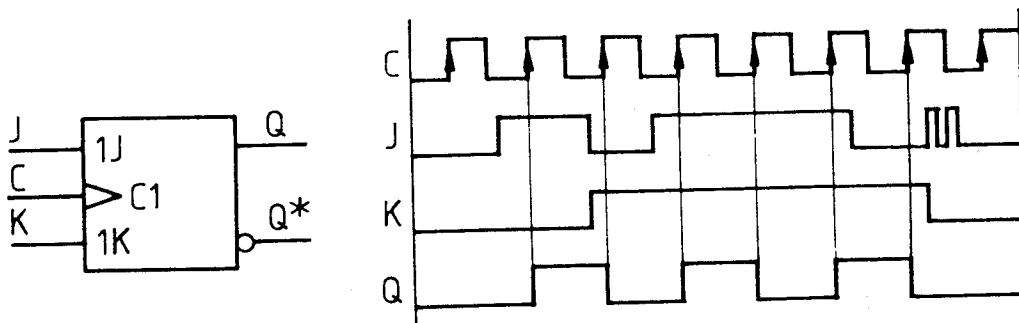


Bild 1: Schaltzeichen und Zeitablaufdiagramm des taktflankengesteuerten JK-Flipflop, oben mit positiver Flanke, unten mit negativer Flanke

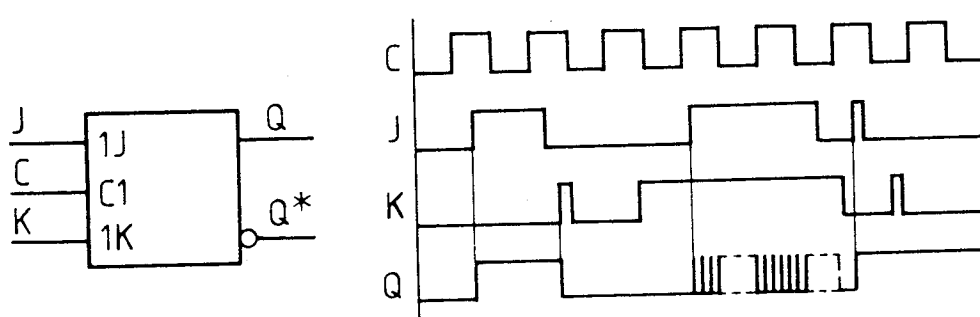
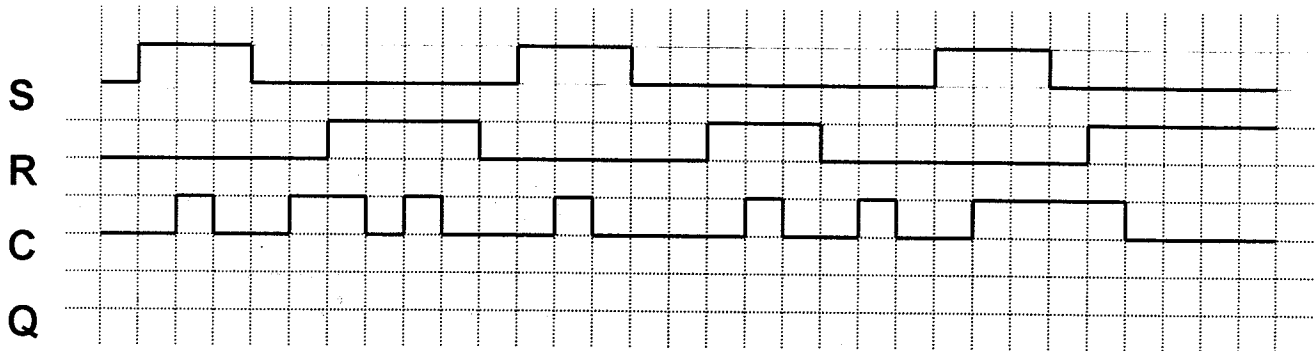
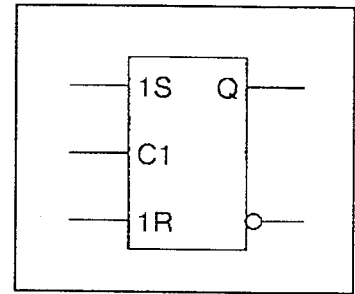


Bild 2: Schaltzeichen und Zeitablaufdiagramm des taktzustandsgesteuerten JK-Flipflop

4.1.2 Das taktzustandsgesteuerte RS-Flip-Flop

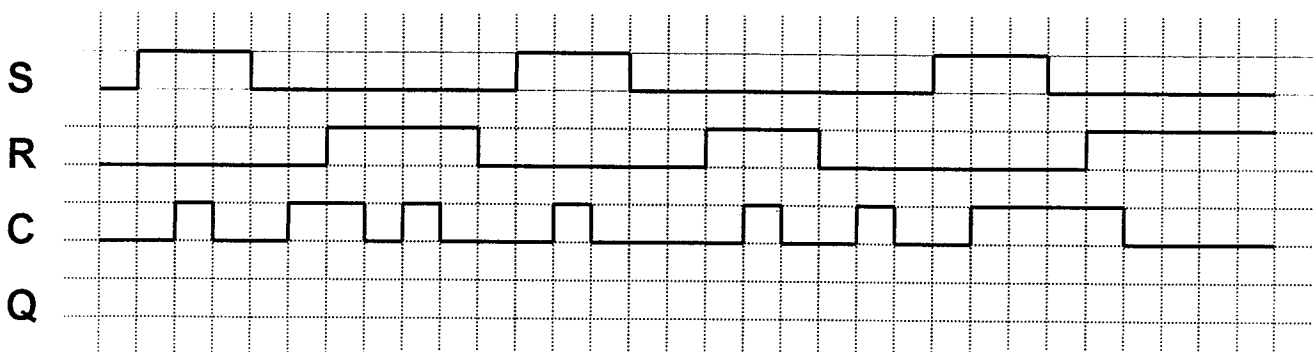
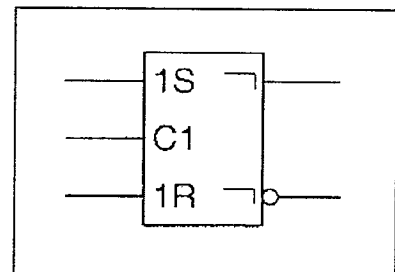
Beim ungetakteten RS-FF ändert sich der Zustand sofort nach der Änderung an den Eingängen S bzw. R. In vielen Fällen möchte man aber den _____ bzw. die Ausgänge von den Eingängen trennen. Das Schaltverhalten des taktzustandsgesteuerten RS-FF soll die folgende Grafik verdeutlichen.



Solange am Takteingang eine 1 anliegt arbeitet das taktzustandsgesteuerte RS-FF wie ein ungetaktetes RS-FF. Diese Eigenschaft ist in einigen Anwendungen _____ . Darum werden wir zwei weitere Ansteuerungsarten untersuchen.

4.1.3 Das Master- Slave RS-Flip-Flop (Pulsgesteuert)

Beim Master-Slave FF werden zwei taktzustandsgesteuerte FF hintereinander geschaltet. Das eine arbeitet dann als Master das andere als Slave. Wir wollen an dieser Stelle nicht näher darauf eingehen. Wichtig ist das Zeitverhalten.



Wichtig ist, dass das MS RS-FF immer einen _____ braucht, damit die Daten am Ausgang erscheinen. Der vollständige Impuls beinhaltet eine pos. und eine neg. Flanke.

Definition

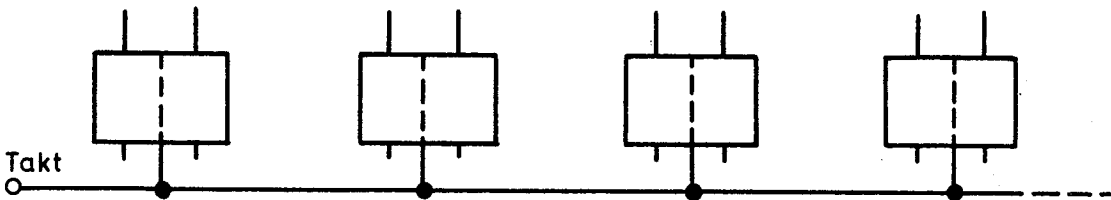
Zu den Schaltwerken zählen alle Schaltungen der Digitaltechnik, bei denen die Ausgangssignale außer von der Ansteuerung an den Eingängen auch von dem inneren Zustand der Schaltung, von der Ansteuerung abhängig sind. Sie enthalten also Speicher.

Schaltungsmerkmale

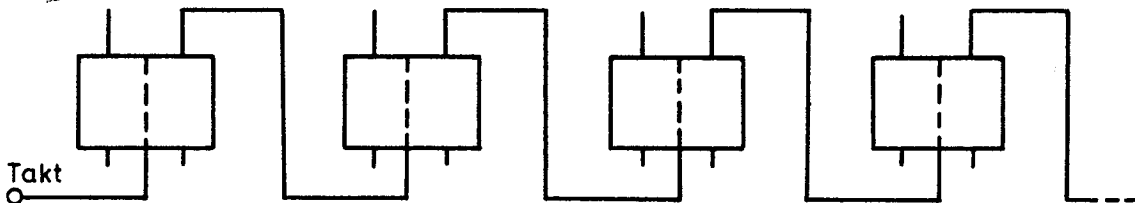
Schaltwerke enthalten als Speicher gesteuerte Kippschaltungen.

Man unterscheidet nach der Wirkungsweise zwei Arten:

a) synchrone Schaltwerke: alle Takteingänge werden zu einem gemeinsamen Takteingang zusammengefaßt.



b) asynchrone Schaltwerke: die Takteingänge sind mit den Ausgängen anderer Kippschaltungen verbunden.



Arten

Nach der Signalfolge an den Ausgängen unterscheidet man

a) Zähler, Frequenzteiler

als synchrone und asynchrone Schaltwerke realisierbar

b) Register, Schieberegister

nur als synchrone Schaltwerke üblich

Anwendungen

Impulszählung, Frequenzteilung, Seriell-Parallel/Parallel-Seriell Umschaltens

Eigenschaften

Ein Zähler ist ein Schaltwerk, dessen innerer Zustand sich mit jedem Taktimpuls ändert. Die verschiedenen inneren Zustände laufen immer in einer festgelegten Folge ab. Geht man von einem bestimmten Anfangszustand aus, so kann man aus jedem inneren Zustand auf die Anzahl der bis dahin wirksam gewordenen Taktimpulse schließen, also die Taktimpulse abzählen.

Arten

Zähler lassen sich unterteilen

a) nach ihrer **Wirkungsweise** in

Synchron und
Asynchronzähler

b) nach dem **Code** des Zählergebnisses in

Binärzähler
BCD-Zähler (8-4-2-1) usw.

c) nach ihrer **Zählrichtung** in

Vorwärts und
Rückwärtszähler

Beispiel

Zähler mit 3 Kippgliedern und nachstehender Folge der inneren Zustände:

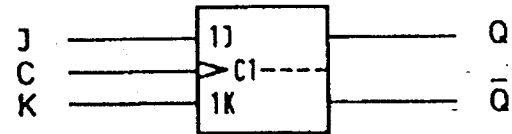
innerer Zustand	Q ₄	Q ₂	Q ₁
am Anfang	0	0	0
nach 1. Takt	0	0	1
nach 2. Takt	0	1	0
nach 3. Takt	0	1	1
nach 4. Takt	1	0	0
nach 5. Takt	1	0	1
nach 6. Takt	1	1	0
nach 7. Takt	1	1	1
nach 8. Takt	0	0	0

≙ Anfangszustand

Die Folge der inneren Zustände entspricht in aufsteigender Reihenfolge den Dualzahlen 0-7; ein Zähler mit dieser Folge ist also ein Vorwärtszähler für Dualzahlen.

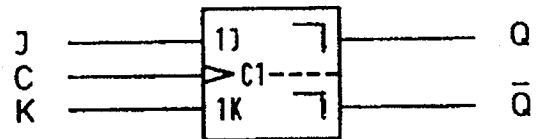
1. Welches Verhalten zeigt das dargestellte JK-Kippglied, wenn $J = 1$ und $K = 1$ sind?

- a) Setzen durch 1. positive Flanke von C;
Rücksetzen durch 1. negative Flanke von C.
- b) Setzen durch 1. positive Flanke von C;
Rücksetzen durch 2. positive Flanke von C.
- c) Setzen durch 1. negative Flanke von C;
Rücksetzen durch 1. positive Flanke von C.
- d) Setzen durch 1. negative Flanke von C;
Rücksetzen durch 2. negative Flanke von C.
- e) Setzen durch 1. positive Flanke von C;
Rücksetzen durch 2. negative Flanke von C.

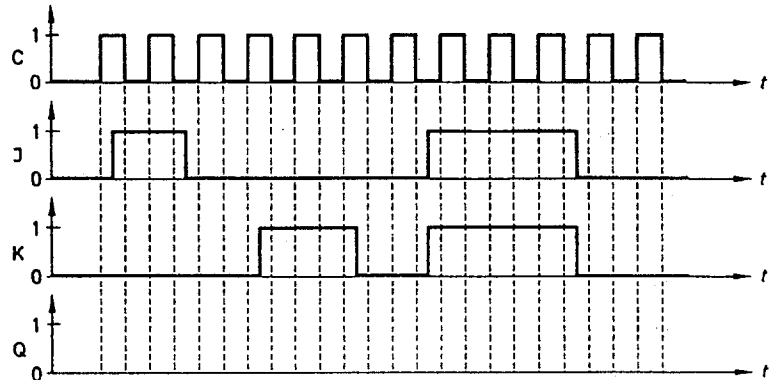
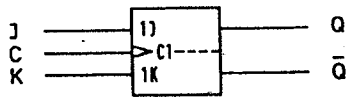


2. In welcher Weise erfolgt die Übertragung des Signals auf den Ausgang bei einem JK-Kippglied mit Zweiflankensteuerung?

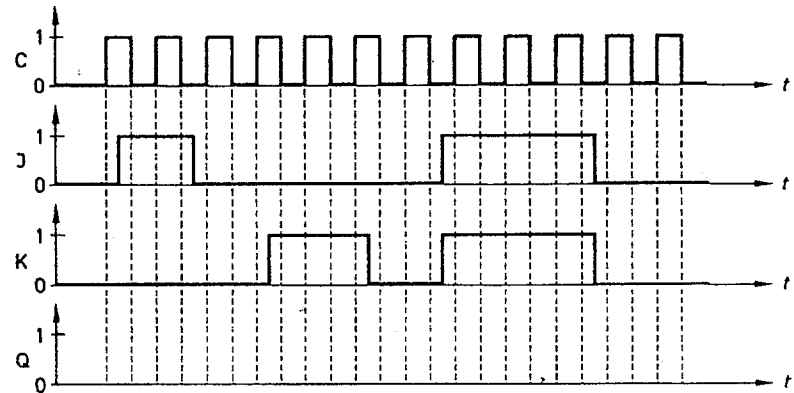
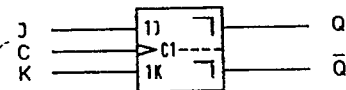
- a) Aufnahme bei der 1. positiven Flanke von C;
Übertragung bei der 2. positiven Flanke von C.
- b) Aufnahme bei der 1. negativen Flanke von C;
Übertragung bei der 2. negativen Flanke von C.
- c) Aufnahme bei der 1. positiven Flanke von C;
Übertragung bei der 1. negativen Flanke von C.
- d) Aufnahme bei der 1. negativen Flanke von C;
Übertragung bei der 1. positiven Flanke von C.
- e) Aufnahme bei der 1. positiven Flanke von C;
Übertragung bei der 2. negativen Flanke von C.



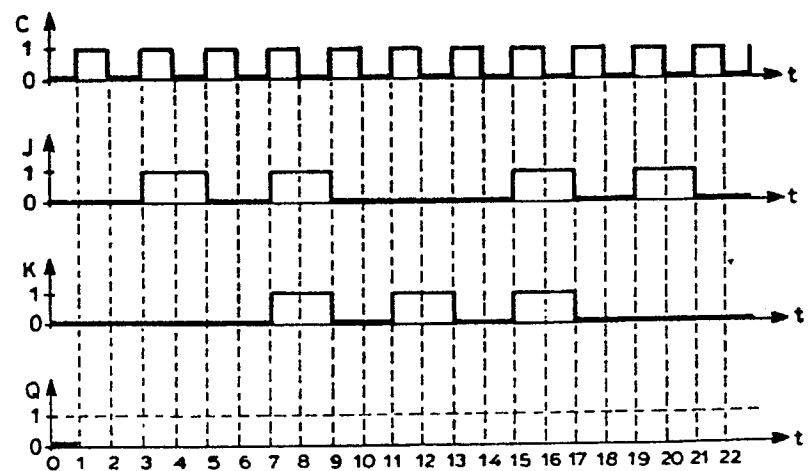
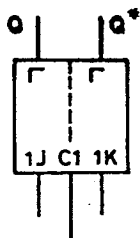
1. Der Signal-Zeit-Plan für das mit Schaltzeichen angegebene JK-Kippglied ist zu vervollständigen.



2. Der Signal-Zeit-Plan für das mit Schaltzeichen angegebene JK-Kippglied ist zu vervollständigen.



3. Der Signal-Zeit-Plan für das mit Schaltzeichen angegebene JK-Kippglied ist zu vervollständigen.



Zählerkapazität, Teilungsfaktor

Zählerstand nach dem 15. Takt: 1111 $\hat{=}$ 15

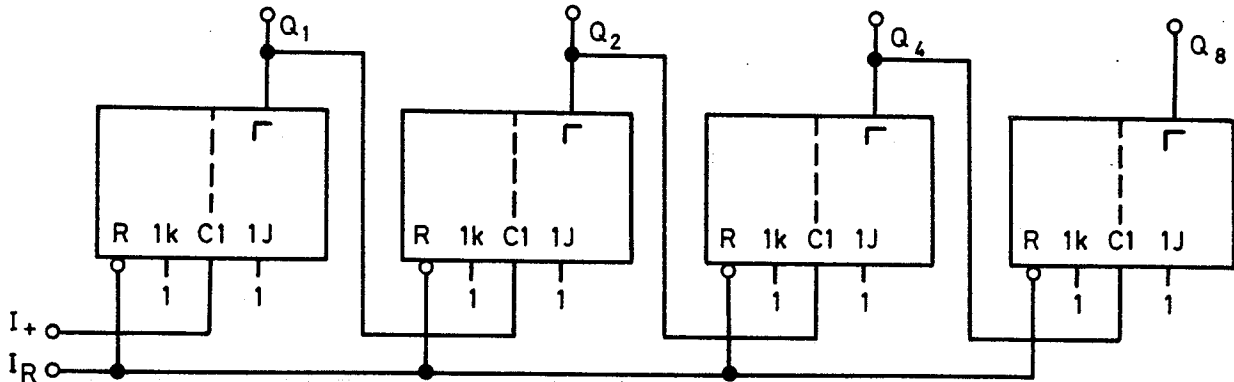
Zählerstand nach dem 16. Takt: 0000 $\hat{=}$ 0 (Anfangstakt)

Mit dem 16. Takt **läuft der Zähler über**. Ein eindeutiges Zählergebnis ist nur gewährleistet, wenn die Zahl der zu zählenden Impulse nicht überschreitet. Der höchste Zählerstand wird Zählerkapazität genannt.

Die Zählerkapazität bei Dualzählern wie auch der Teilungsfaktor bei Frequenzteilern ist abhängig von der Anzahl der Kippglieder.

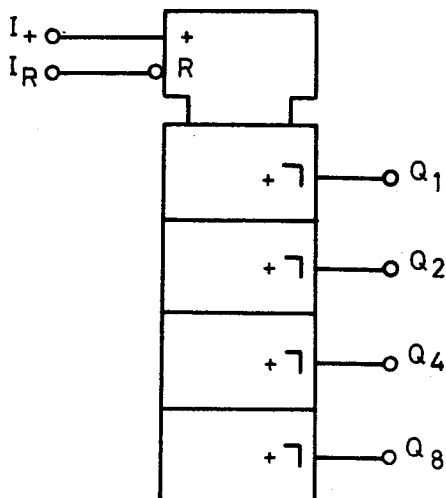
Anzahl der Kippglieder n	Zählerkapazität $k = 2^n - 1$	erreichbarer Teilungsfaktor $t = 2^n$
1	1	1 : 2
2	3	1 : 4
3	7	1 : 8
4	15	1 : 16
5	31	1 : 32
6	63	1 : 64

Zählerrückstellung



Der Zähler geht in den Zustand 0000, wenn $I_R = 0$ ist.

Symbol



Anmerkung:

Nur auf den Zählengang I_+ bezogen sind die Ausgänge retardiert.

Rückwärtszähler für Dualcode

Zählerstand	Q ₈	Q ₄	Q ₂	Q ₁	dezimal
am Anfang	0	0	0	0	0
nach 1. Takt	1	1	1	1	15
nach 2. Takt	1	1	1	0	14
nach 3. Takt	1	1	0	1	13
nach 4. Takt	1	1	0	0	12
nach 5. Takt	1	0	1	1	11
nach 6. Takt	1	0	1	0	10
nach 7. Takt	1	0	0	1	9
nach 8. Takt	1	0	0	0	8
nach 9. Takt	0	1	1	1	7
nach 10. Takt	0	1	1	0	6
nach 11. Takt	0	1	0	1	5
nach 12. Takt	0	1	0	0	4
nach 13. Takt	0	0	1	1	3
nach 14. Takt	0	0	1	0	2
nach 15. Takt	0	0	0	1	1
nach 16. Takt	0	0	0	0	0

Beispiel:

a) Bei **Vorwärtszählung** folgt

dem Zustand $0\ 1\ 1\ 1 \cong 7$

der Zustand $1\ 0\ 0\ 0 \cong 8$

Kippglied 8 wird von Q₄ wirksam angesteuert, wenn Q₄ von 1 auf 0 geht.

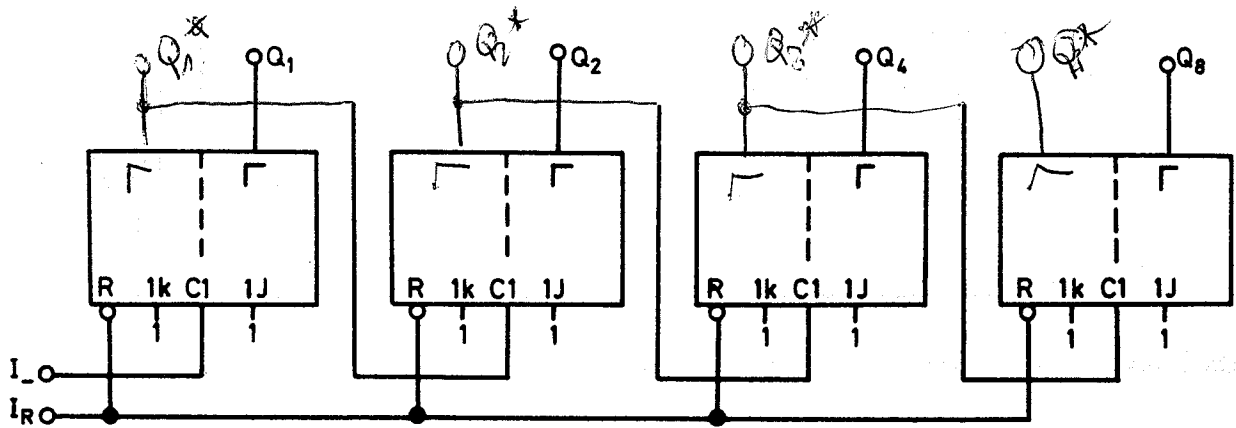
b) Bei **Rückwärtszählung** folgt

dem Zustand $1\ 0\ 0\ 0 \cong 8$

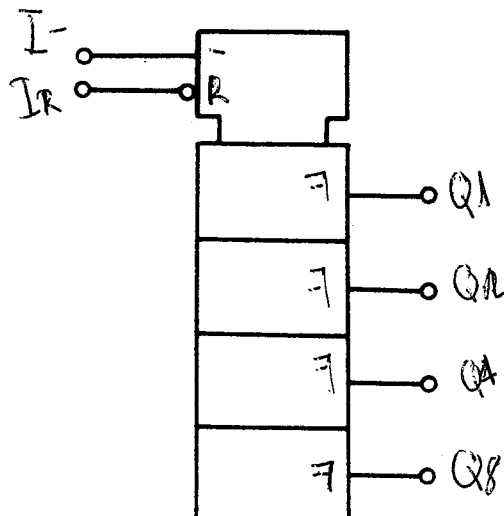
der Zustand $0\ 1\ 1\ 1 \cong 7$

Kippglied 8 wird von Q₄ wirksam angesteuert, wenn Q₄ von 0 auf 1 geht.

Dies gilt für alle Zustandsfolgen, daher sind die Kippglieder wie folgt zu verbinden (s. Arbeitsblatt A 5.3):



Symbol



Vorwärtszähler für BCD-Code

BCD-Zähler haben 10 verschiedene innere Zustände; sie liefern an ihren Ausgängen 10 unterschiedliche Zeichen. Beim 8-4-2-1-Code sind dies die Dualzahlen für die Ziffern von bis

Aus nebenstehender Tabelle lassen sich folgende Unterschiede gegenüber dem Vorwärtszähler für Dualcode erkennen:

Kippglied 1: keine

Kippglied 2: darf beim 10 Takt nicht in die Setzlage kippen. Das wird erreicht durch die Verbindung (a).

Kippglied 4: keine, es muß auch hier bei jedem Übergang von 1 nach 0 an Q_2 kippen.

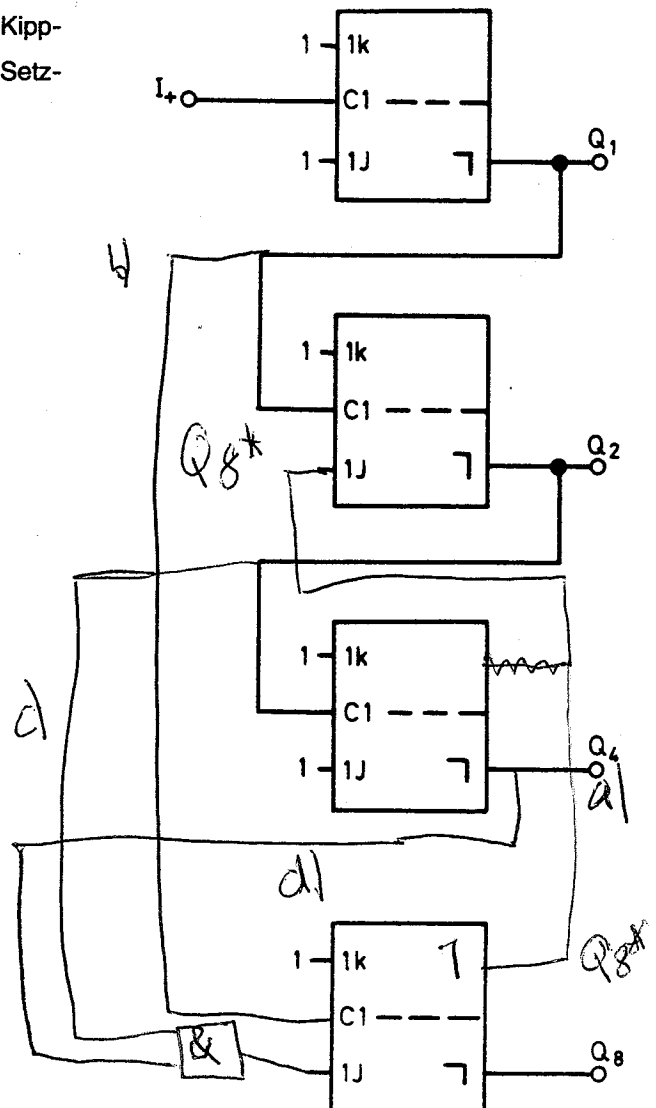
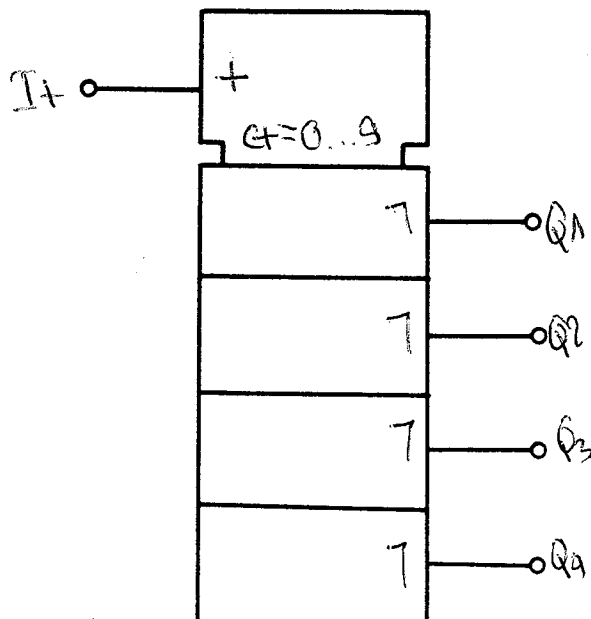
Kippglied 8: muß beim 10 Takt wieder in die Rücksetzlage kippen. Da bei diesem Takt außer Kippglied 8 nur Kippglied 1 kippt, muß der Takteingang von Kippglied 8 mit Q_1 verbunden werden (b).

Die Verbindungen (c) und (d) verhindern, daß Kippglied 8 beim 2, 4 und 6 Takt in den Setz- zustand kippt.

Zählerstand	Q_8	Q_4	Q_2	Q_1
Anfangslage	0	0	0	0
nach 1. Takt	0	0	0	1
nach 2. Takt	0	0	1	0
nach 3. Takt	0	0	1	1
nach 4. Takt	0	1	0	0
nach 5. Takt	0	1	0	1
nach 6. Takt	0	1	1	0
nach 7. Takt	0	1	1	1
nach 8. Takt	1	0	0	0
nach 9. Takt	1	0	0	1
nach 10. Takt	0	0	0	0

↑

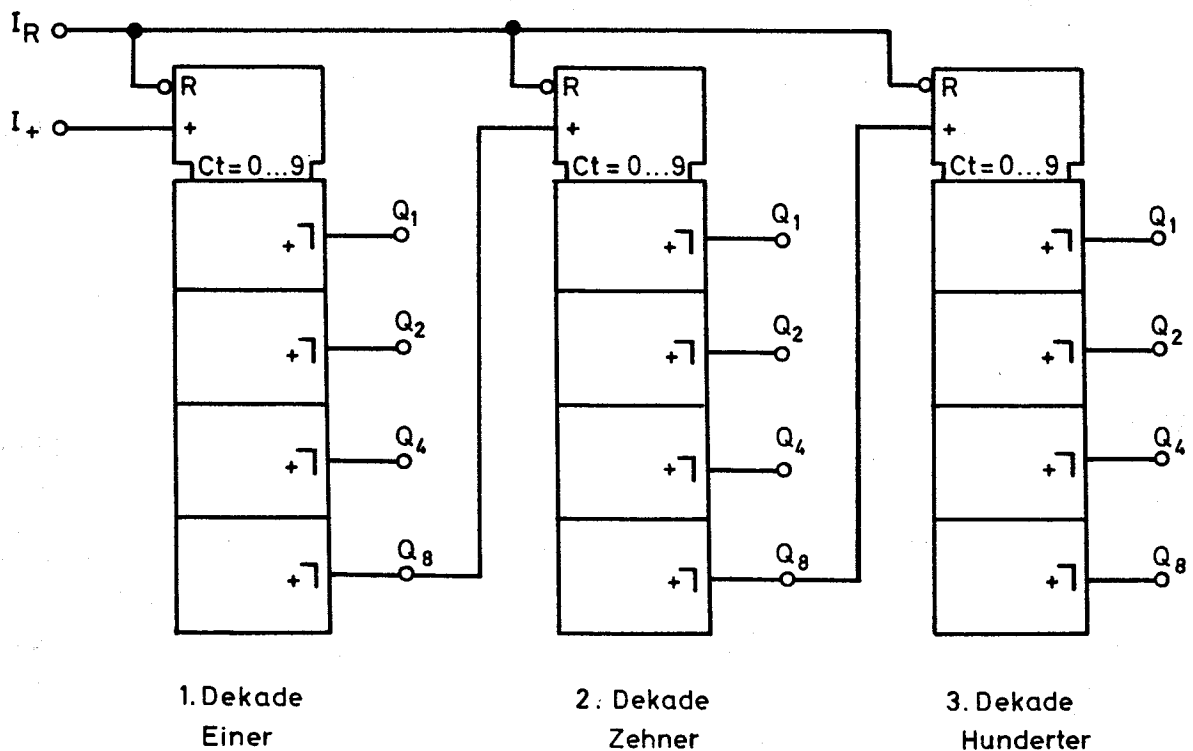
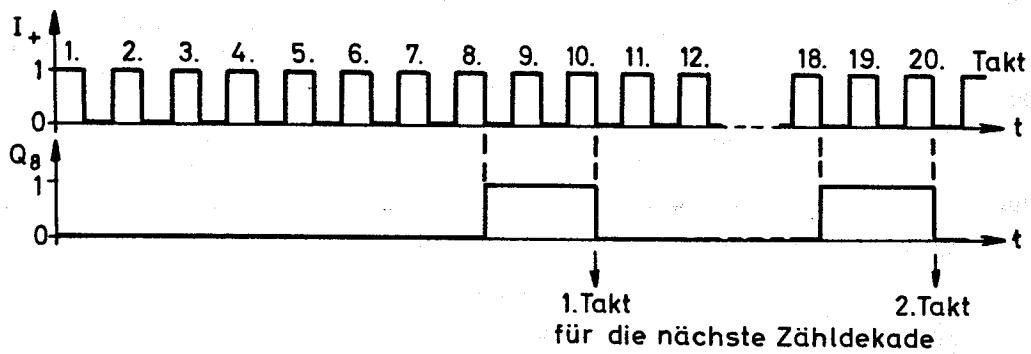
Symbol



BCD-Zähler für mehrere Dekaden

BCD-Zähler werden oft als Zähldekaden bezeichnet, weil pro Zähler eine Dekade einer Dezimalzahl als Zählergebnis dargestellt wird.

Soll über mehrere Dekaden gezählt werden, so sind eine entsprechende Anzahl von Zähldekaden hintereinander zu schalten. Sind innerhalb einer Zähldekade die Takteingänge der Kippglieder jeweils mit dem Ausgang Q des davorliegenden Kippgliedes verbunden, so liefert der Ausgang Q_8 der Zähldekade den Takt für die nächste Zähldekade; sind sie mit Q^* verbunden, so entsteht der Takt für die nächste Zähldekade an Q_8^* .

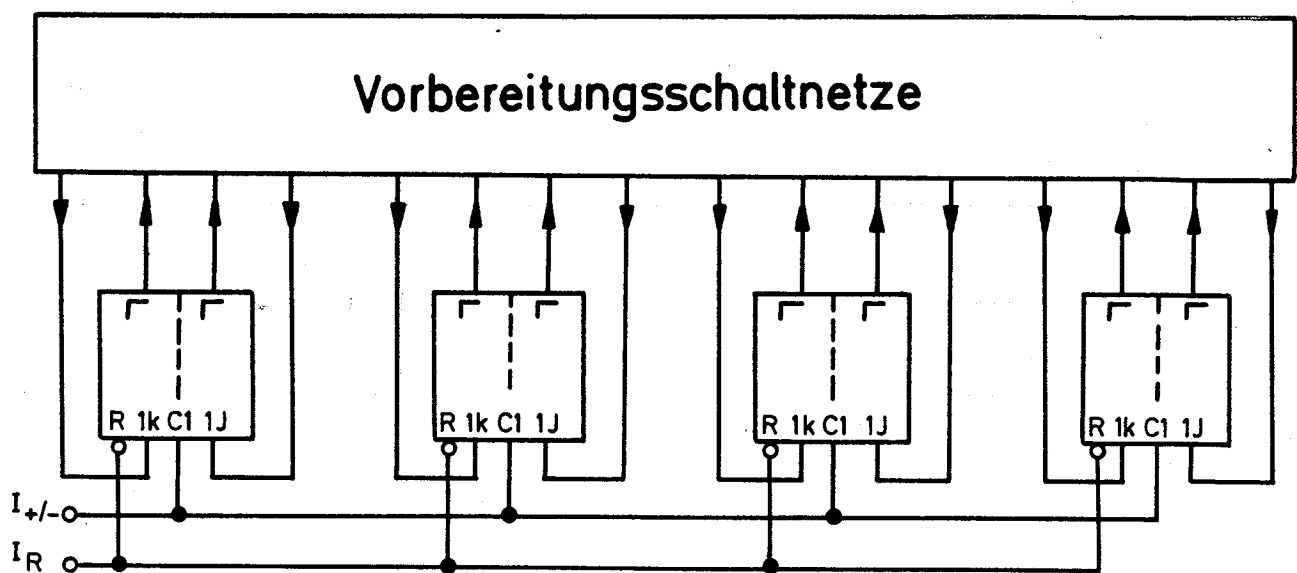


Grundsätzliche Anordnung

Bei Synchronzählern liegt der Zähltakt gleichzeitig an den Takteingängen aller Kippglieder an.

Das dem Code und der Zählrichtung entsprechende Kippverhalten der Kippglieder wird durch Schaltnetze an den Vorbereitungseingängen gesteuert. Die Eingangsvariablen dieser Vorbereitungnetzwerke sind die Ausgangswerte der Kippglieder.

Die Rückstellung von Synchronzählern erfolgt wie bei Asynchronzählern über die statischen Eingänge.



Vergleich mit Asynchronzählern

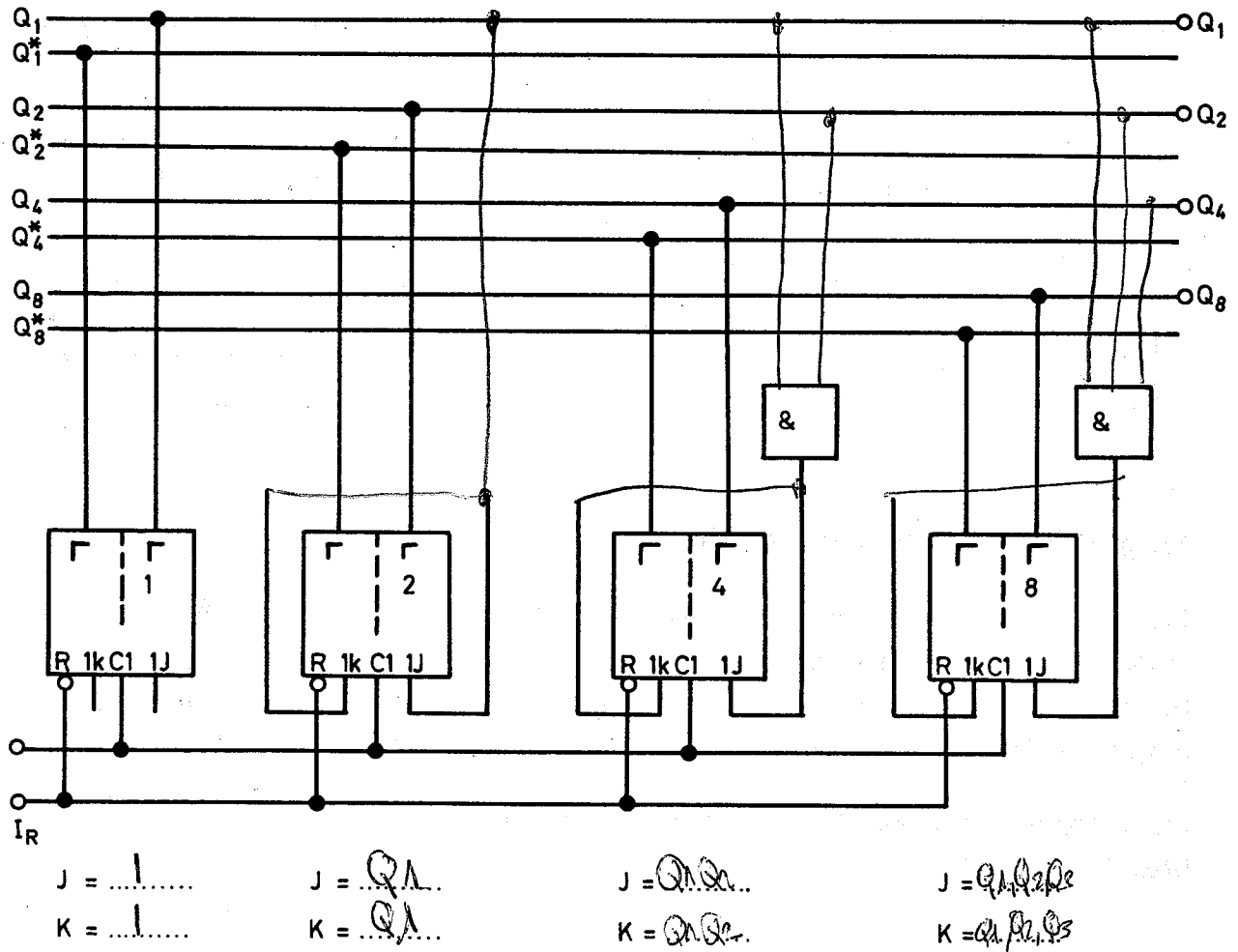
Bei Synchronzählern stellen sich alle Kippglieder gleichzeitig ein. Daher sind sie schneller als Asynchronzähler und liefern sofort das richtige Ausgangsergebnis.

Bei Asynchronzählern dagegen stellen sich die Kippglieder nacheinander ein, deshalb entstehen an ihren Ausgängen in der Übergangsphase von einem in den nächsten Zählerstand stirnlose Ausgangskombinationen.

Da das Kippverhalten der Kippglieder eines Synchronzählers nur an den Vorbereitungseingängen gesteuert werden kann, ist der Schaltungsaufwand größer als bei Asynchronzählern.

Vorwärtszähler für Dualcode

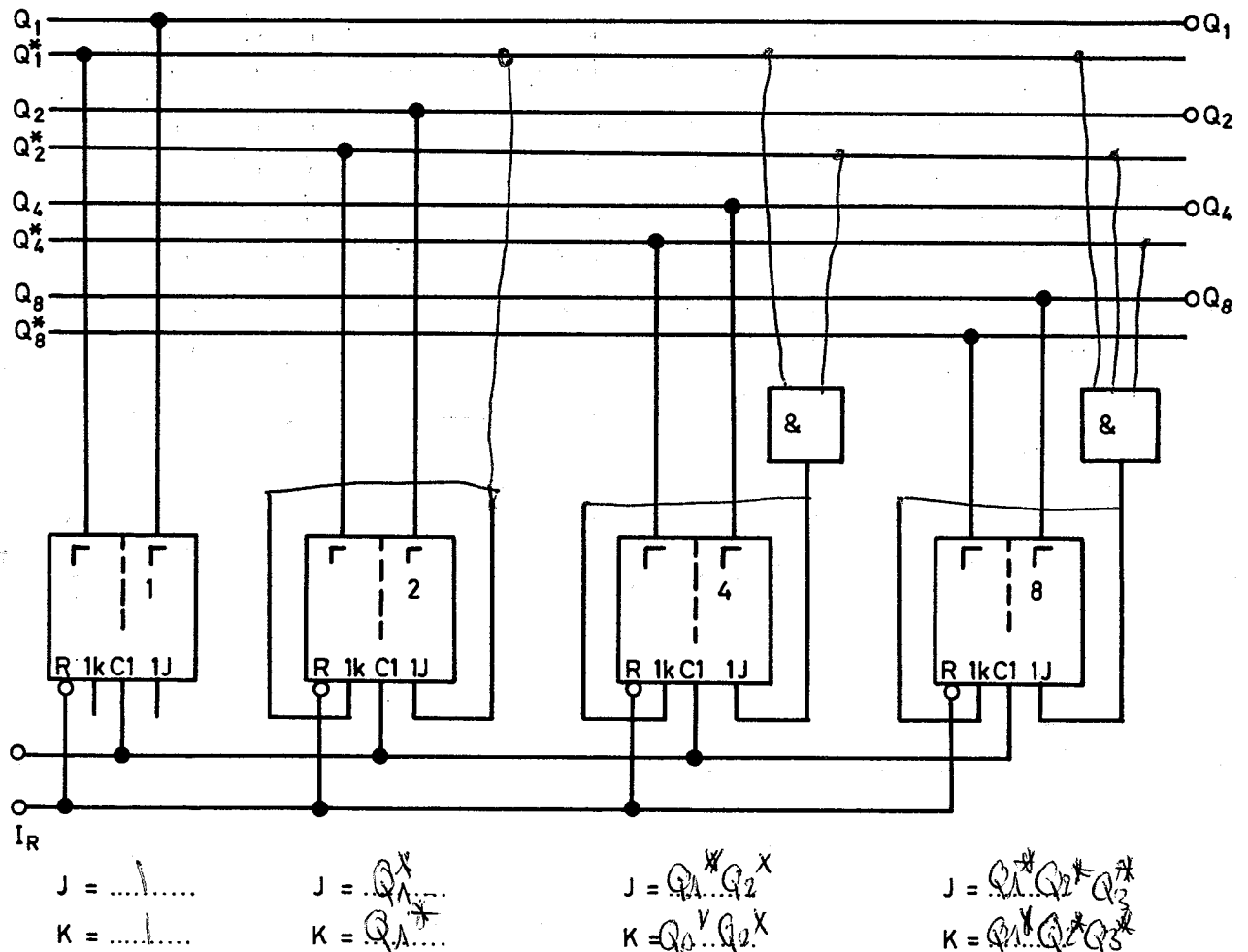
Zählfolge																
Q ₁	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
Q ₂	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
Q ₄	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
Q ₈	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0
dezimal	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15



Das Symbol für einen Zähler unterscheidet **nicht** zwischen asynchroner und synchroner Arbeitsweise. Es gilt deshalb auch für den oben dargestellten Vorwärtszähler für Dualcode das Symbol auf Arbeitsblatt A 5.4.2.

Rückwärtszähler für Dualcode

Zählfolge	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Q ₁	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
Q ₂	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
Q ₄	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0
Q ₈	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0
dezimal	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	0

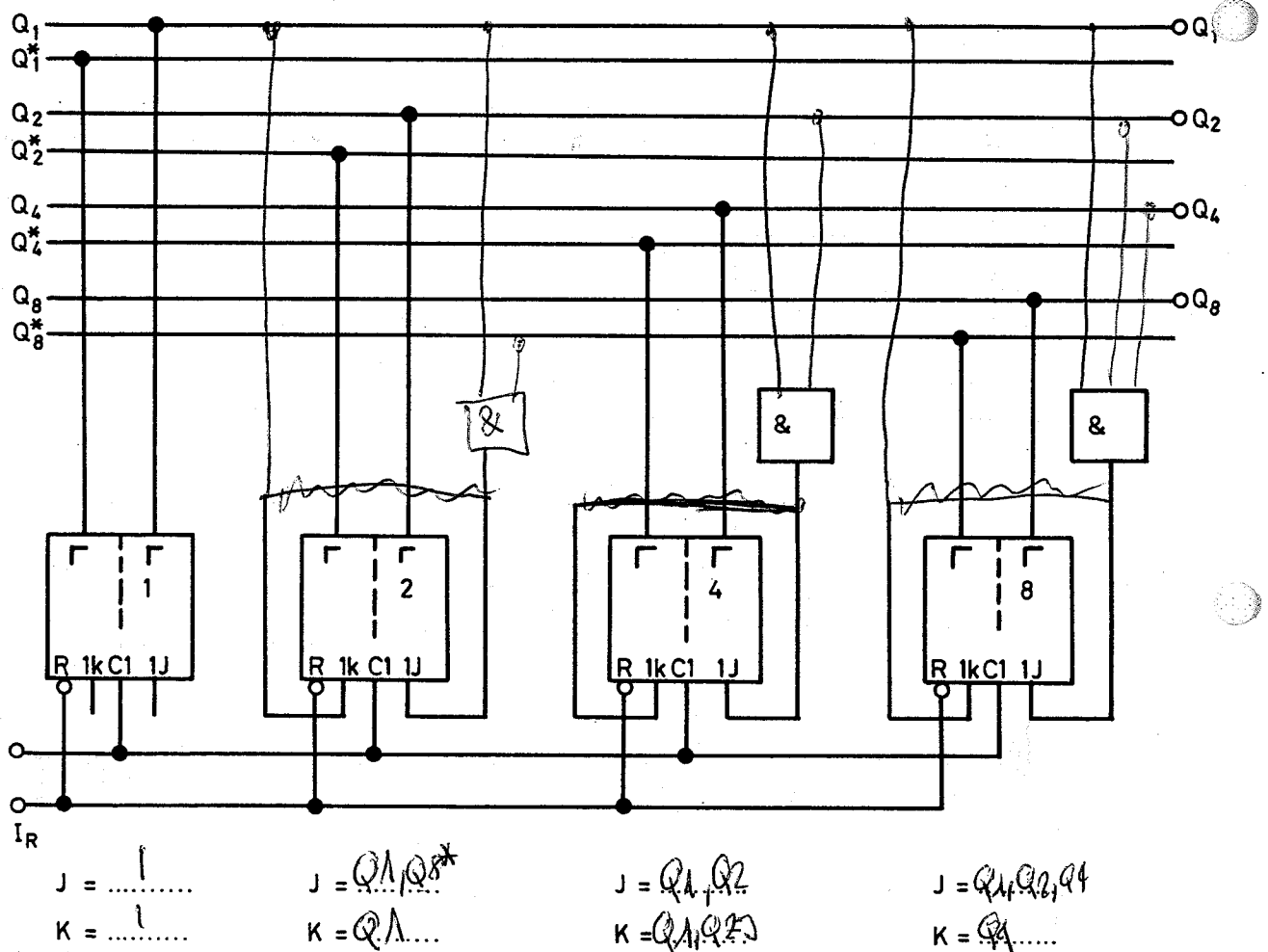


Der synchrone Rückwärtszähler unterscheidet sich vom Vorwärtszähler nur dadurch, daß anstelle von Q₁, Q₂ und Q₄ die Signale von Q_1^x, Q_2^x, Q_3^x zur Vorbereitung herangezogen werden.

Eine Zählrichtungsumschaltung bei Synchronzählern ist möglich, wenn die Eingangssignale der UND-Glieder im Vorbereitungsnetzwerk jeweils zwischen Q₁ und Q_1^x , Q₂ und Q_2^x und Q₄ und Q_4^x umschaltbar sind.

Vorwärtszähler für 8-4-2-1-Code

Zählfolge	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Q ₁	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
Q ₂	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
Q ₄	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0
Q ₈	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0
dezimal	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	0



Gegenüber dem synchronen Vorwärtszähler für Dualcode sind folgende Änderungen erforderlich:

- a) J-Eingang von Kippglied 2: $J = Q_1 Q_8^*$

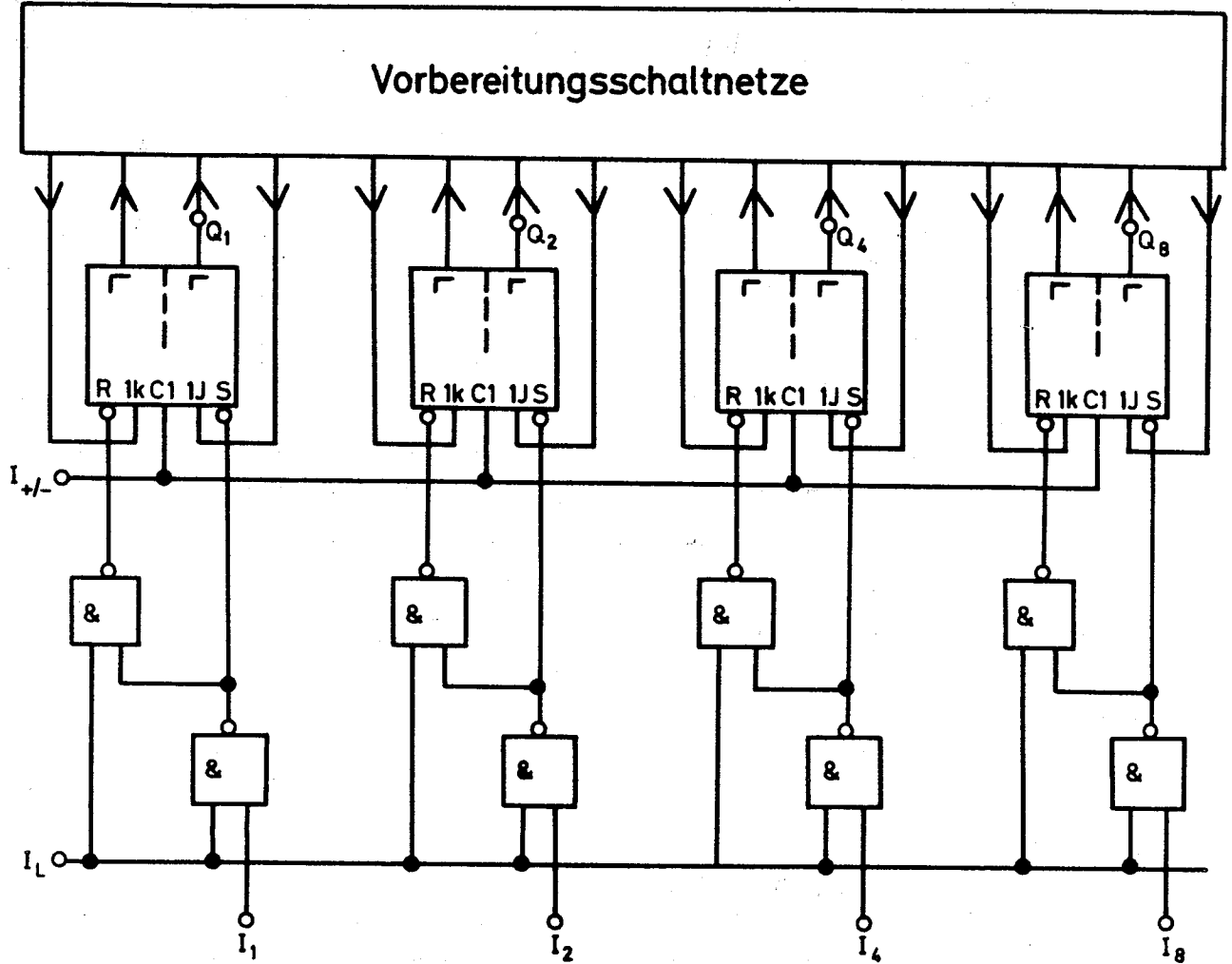
Durch Einbeziehung von Q_8^* in die UND-Verknüpfung wird erreicht, daß Kippglied 2 nur dann in den Setzzustand kippt, wenn Kippglied 8 einnimmt, also nicht mehr beim Impuls.

- b) K-Eingang von Kippglied 8: $K = Q_1$

Da dann K nur von Q_1 abhängig ist, kippt Kippglied 8 in den Rücksetzzustand, sobald Kippglied 1 einnimmt, also beim Impuls.

Zähler mit Voreinstellung

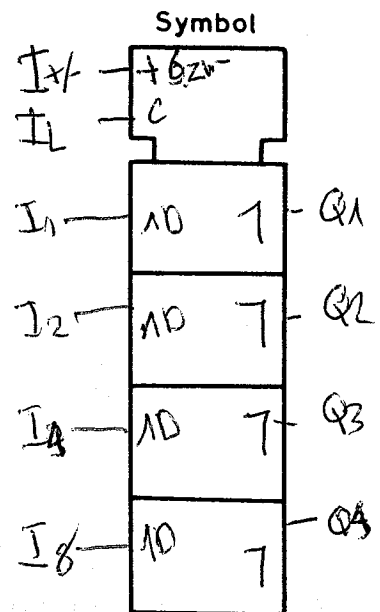
Für bestimmte Anwendungen ist eine Vorprogrammierung eines Zählers mit einem bestimmten Zählerstand erforderlich.



Beispiel:

Eingabe des Zählerstandes 0101 \cong 5:

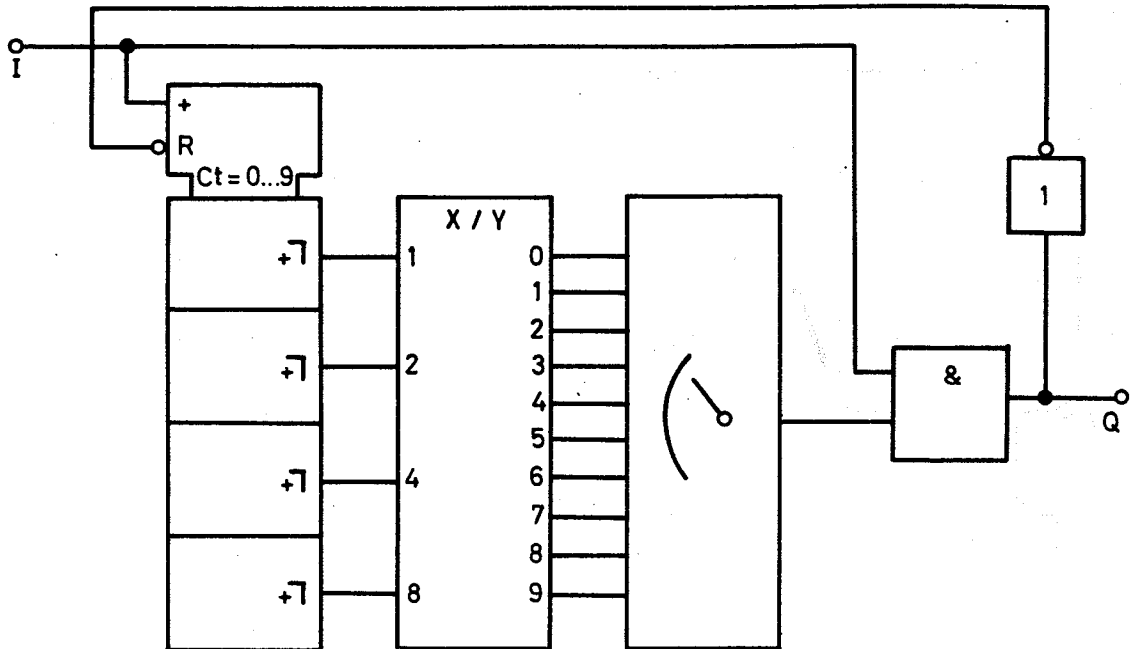
$I_1 = 1$
 $I_2 = 0$
 $I_4 = 1$
 $I_8 = 0$
 $I_L = 1$



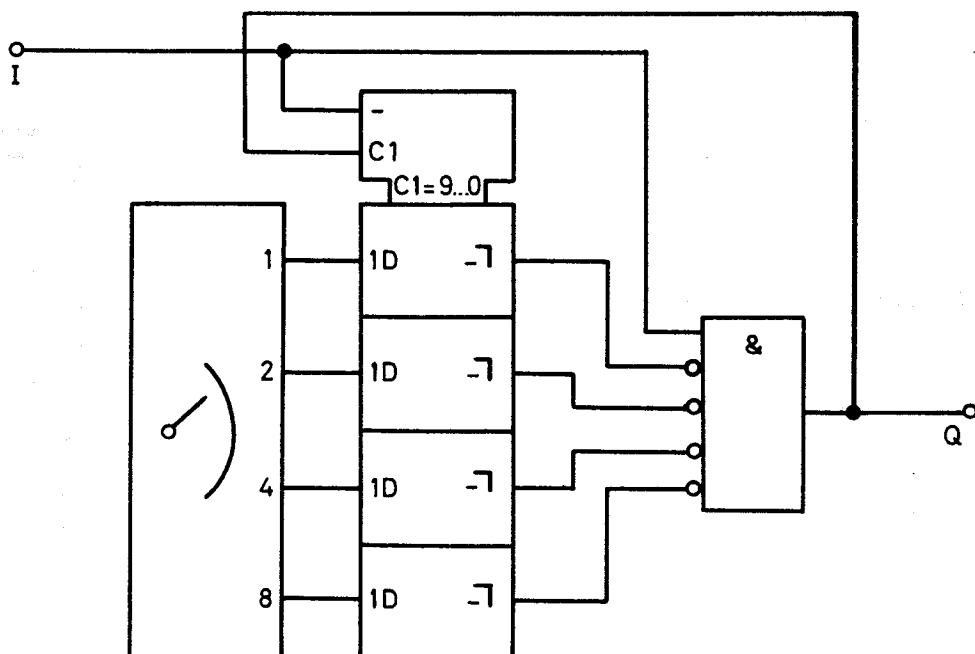
Vorwahlzähler werden als Frequenzteiler mit einstellbarem Teilungsverhältnis eingesetzt.

Man unterscheidet zwei Prinzipien:

- a) BCD-Vorwärtszähler, die beim Erreichen des vorgewählten Zählerstandes auf 0 zurückgesetzt werden.
Als Vorwahlschalter dient ein 10-stufiger Schalter



- b) BCD-Rückwärtszähler mit Voreinstellung, die beim Erreichen des Zählerstandes 0 mit der Voreinstellung neu programmiert werden.
Als Vorwahlschalter dient ein codiertes Schalter

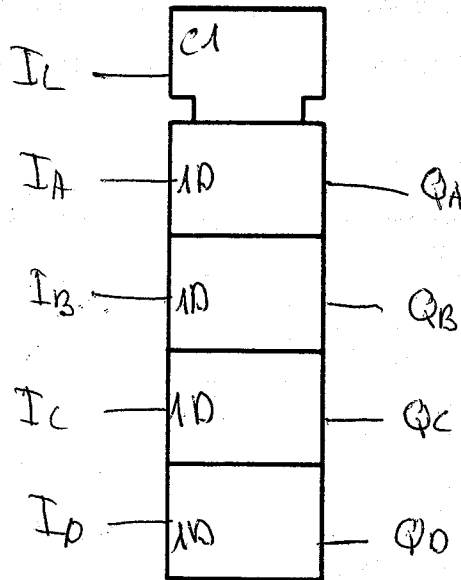
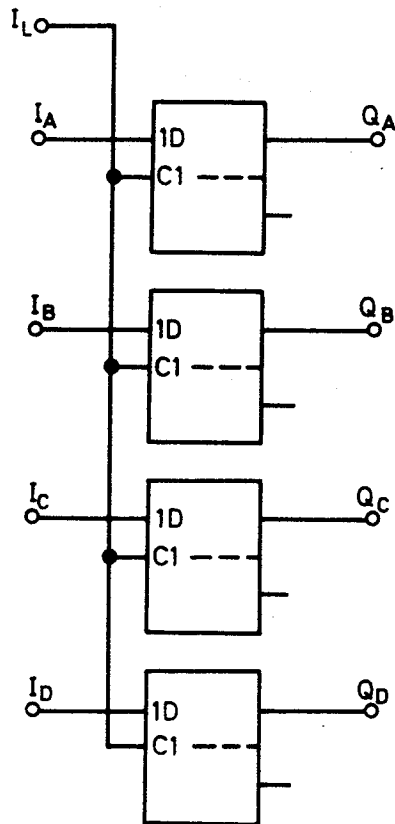


Bei beiden Arten ist das Teilungsverhältnis $1 : (\overline{00} n+1)$
 $n = \text{Vorwahl}$

Register sind zwischenspeicher für Binärzeichen. Sie werden meist aus bistabilen Kippgliedern gebildet.

Parallelregister

Datenein- und -ausgabe nur parallel möglich.



Anwendung, wenn

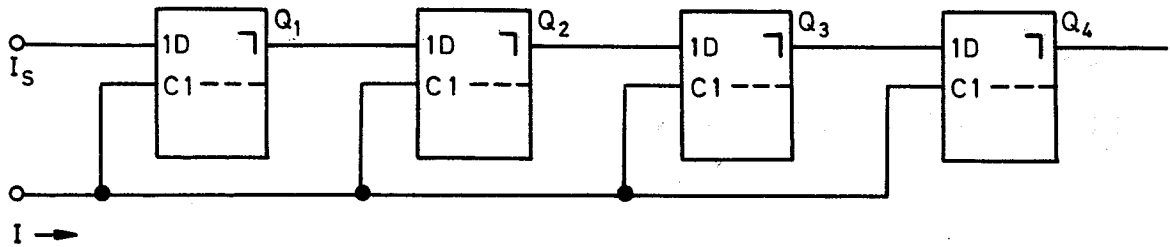
- Informationen länger benötigt werden, als sie am Eingang anliegen
- Informationen später benötigt werden, als sie am Eingang erscheinen
- bestimmte Informationen aus einer Informationsfolge ausgewählt werden sollen

Beispiel:

Anwendung bei Zählern für nicht mitlaufende Anzeige

Ziel: längere und erhellte Zählergebnisanzeige

Schieberegister



Der Zustand am D-Eingang eines jeden Kippgliedes wird bei einem Takt gespeichert und bildet den Ausgangszustand Q.

Die Schaltung des Registers bewirkt, daß durch jeden Takt die gespeicherte Information um eine Stelle
verschoben wird.

	I_s	Q_1	Q_2	Q_3	Q_4
am Anfang	0	X	X	X	X
nach 1. Takt	0	0	X	X	X
nach 2. Takt	1	0	0	X	X
nach 3. Takt	1	1	0	0	X
nach 4. Takt	X	1	1	0	0
nach 5. Takt	X	X	1	1	0
nach 6. Takt	X	X	X	1	1
nach 7. Takt	X	X	X	X	1
nach 8. Takt		X	X	X	X

Die Binärwerte in einer Tabellenspalte treten zeitlich nacheinander, also

seriell an einer Leitung

die Binärwerte in einer Tabellenzeile gleichzeitig, also

parallel an einer Leitung auf.

Betriebsmöglichkeiten für ein Schieberegister mit n Kippgliedern:

a) **Eingabe seriell – Ausgabe seriell**

Jedes an I_s eingegebene Bit erscheint um n Takte verzögert an Q_n .

Einsatz zur Speicherung serieller Daten für n Taktintervalle

b) **Eingabe seriell – Ausgabe parallel**

Eine n -stellige, an I_s seriell eingegebene Information steht nach n Takten parallel an den Ausgängen Q_1 bis Q_n .

Einsatz als Umwandlung Seriell/Parallel

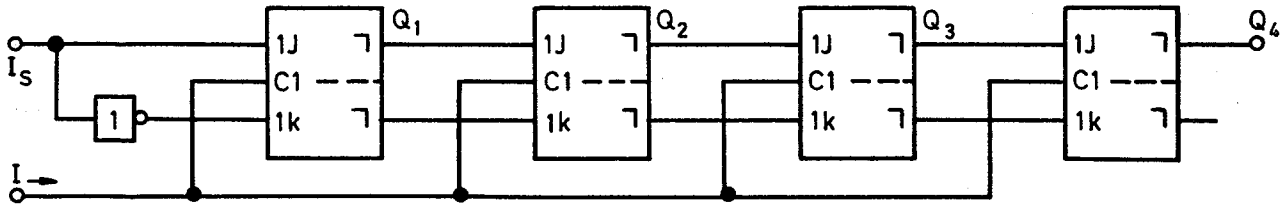
c) **Eingabe parallel – Ausgabe seriell**

Bei paralleler Eingabe (Information an Q_1 bis Q_n) steht bereits die erste Stelle am seriellen Ausgang Q_n . Die letzte Stelle erscheint nach n Takten an Q_n .

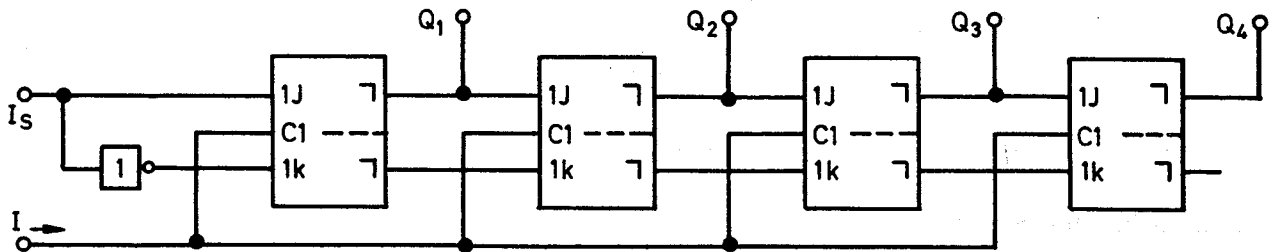
Einsatz als parallel/seriell wandler

Schaltungen für alle drei Varianten sind auf Arbeitsblatt A 5.15.2 angegeben.

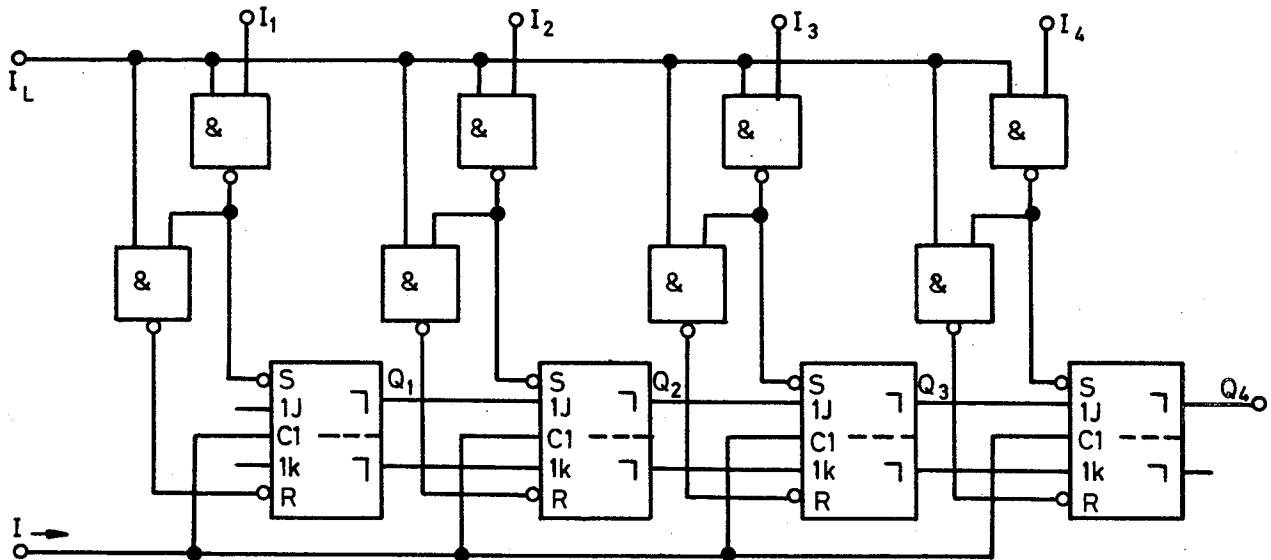
a) Schieberegister für serielle Ein- und Ausgabe



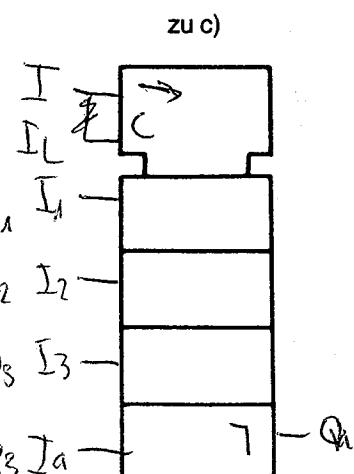
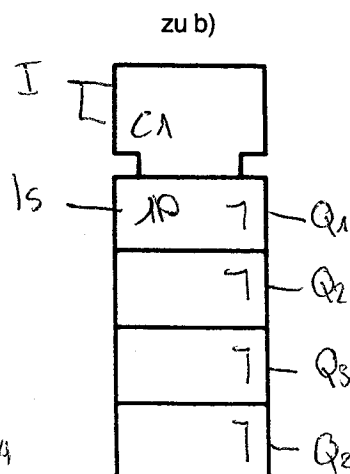
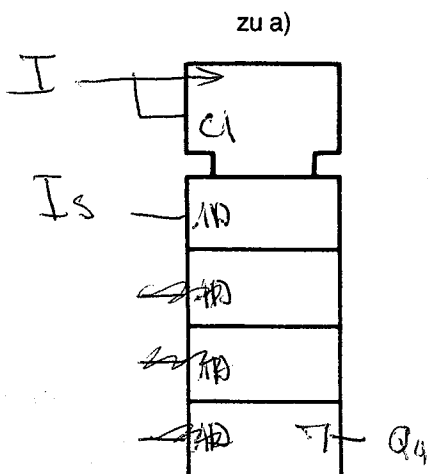
b) Schieberegister für serielle Eingabe und parallele Ausgabe



c) Schieberegister für parallele Eingabe und serielle Ausgabe

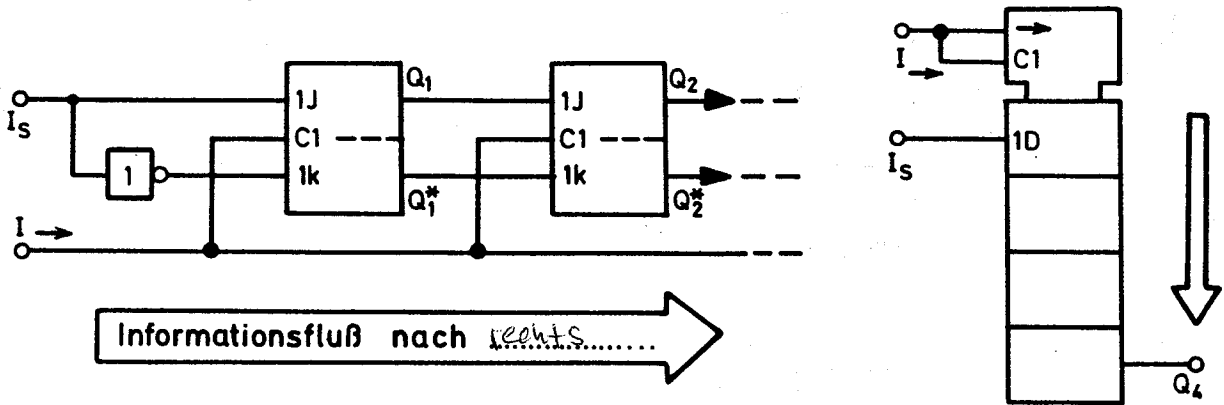


Symbole:



Schieberichtung bei Schieberegistern

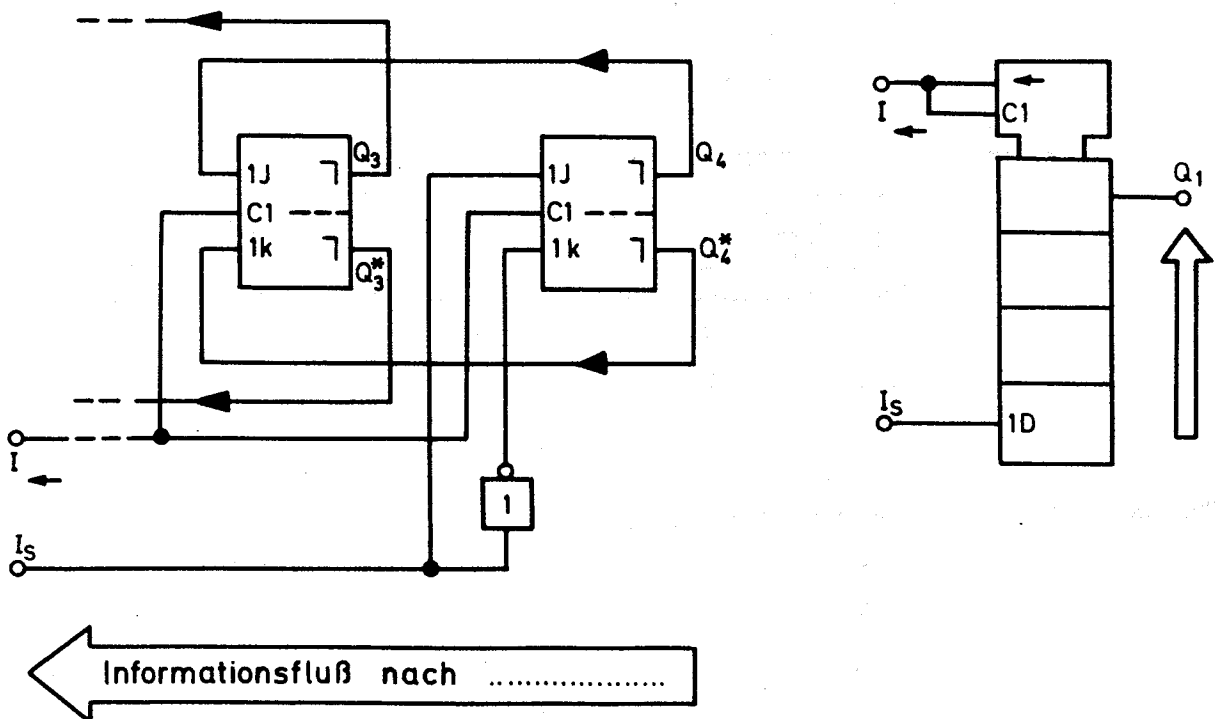
1. Schieberegister, die die eingespeicherten Informationen von Kippglied 1 über Kippglied 2 nach rechts schieben, werden **Rechtsschieberegister** genannt.



Alle Register auf Arbeitsblatt A 5.15 sind Rechtsschieberegister.

2. Bei **Linksschieberegistern** wird die Information in umgekehrter Richtung verschoben. Deshalb bereiten z. B.

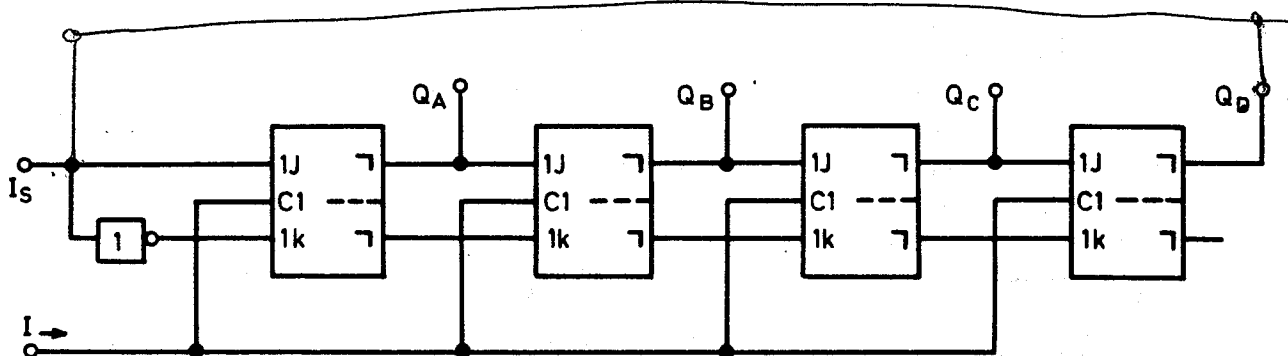
die Ausgänge Q_4 und Q_4^* die Eingänge von Kippglied 3,
 die Ausgänge Q_3 und Q_3^* die Eingänge von Kippglied 2 und
 die Ausgänge Q_2 und Q_2^* die Eingänge von Kippglied 1 vor.
 Der Serieneingang I_S befindet sich dabei an Kippglied 4,
 der Serienausgang an Kippglied 1.



3. Schieberegister, deren Schieberichtung durch entsprechende Verknüpfungen zwischen Ein- und Ausgängen der Kippglieder wahlweise nach rechts oder links umgeschaltet werden kann, werden **Umkehrschieberegister** genannt.

Ringzähler sind ringförmig geschlossene Register, die zur Impulszählung verwendet werden.

Prinzip



Als Zähleringang I_+ dient der Schiebetaakt des Registers.

Zusätzlich wird wie bei allen Zählern ein Rückstelleingang I_R benötigt.

Schaltungsvariante: Rückführung von Q des letzten Kippgliedes auf J des ersten Kippgliedes und Q^* des letzten Kippgliedes auf K des ersten Kippgliedes.

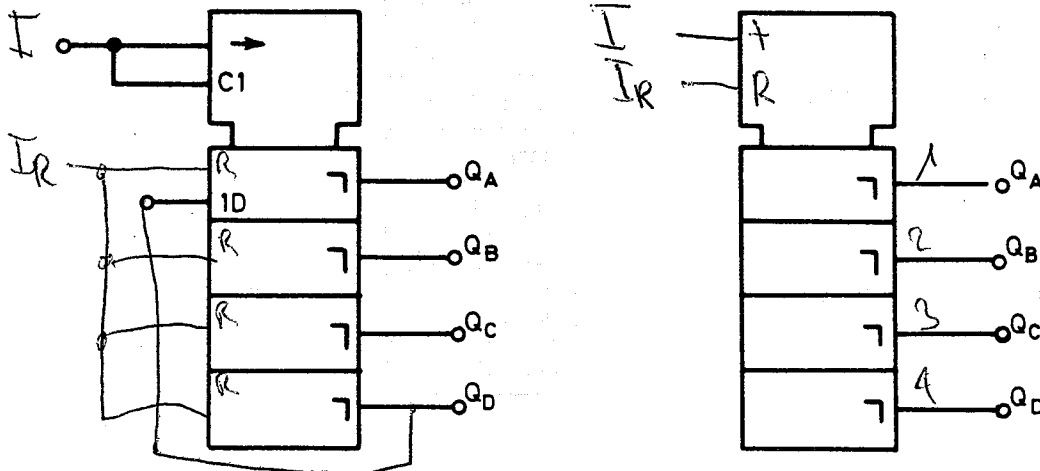
Schaltfolge

	Q_A	Q_B	Q_C	Q_D
am Anfang	1	0	0	0
nach 1. Takt	0	1	0	0
nach 2. Takt	0	0	1	0
nach 3. Takt	0	0	0	1
nach 4. Takt	1	0	0	0

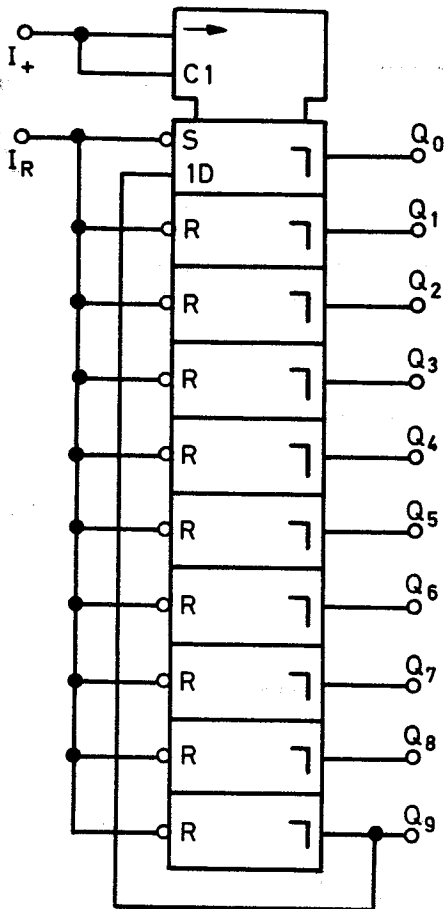
Die Zählfolge liegt in einem 1000 Code vor.

Bei den Wertigkeiten $Q_A = 0$, $Q_B = 1$, $Q_C = 2$ und $Q_D = 3$ z. B. ist die Zählfolge 0-3.

Symbole

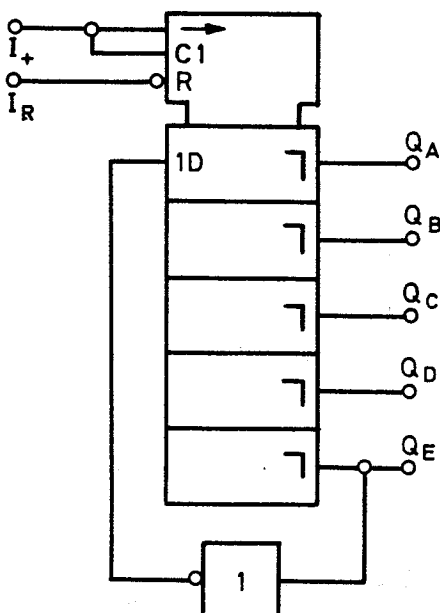


1-aus-10-Code-Zähler



	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇	Q ₈	Q ₉
am Anfang	1	0	0	0	0	0	0	0	0	0
nach 1. Takt		1								
nach 2. Takt			1							
nach 3. Takt				1						
nach 4. Takt					1					
nach 5. Takt						1				
nach 6. Takt							1			
nach 7. Takt								1		
nach 8. Takt									1	
nach 9. Takt										1
nach 10. Takt	1									

Johnsonzähler



	Q _A	Q _B	Q _C	Q _D	Q _E
am Anfang	0	0	0	0	0
nach 1. Takt	1				
nach 2. Takt	1	1			
nach 3. Takt	1	1	1		
nach 4. Takt	1	1	1	1	
nach 5. Takt	1	1	1	1	1
nach 6. Takt		1	1	1	1
nach 7. Takt			1	1	1
nach 8. Takt				1	1
nach 9. Takt					1
nach 10. Takt	0	0	0	0	0

(Reset)

X	=	Blindwiderstand	Ω	
X_L	=	indukt. Blindw.	Ω	
ω	=	Kreisfrequenz	$1/s$	
L	=	Induktivität	H	
U	=	Spannung	V	
I	=	Strom	A	
R	=	Widerstand	Ω	
Z	=	Scheinwiderstand	Ω	
φ	=	Phasenverschiebungswinkel	$^\circ$	
f	=	Frequenz	Hz	
U_L	=	Spannung Last	V	
R_L	=	Widerstand Last	Ω	
C	=	Kapazität	F	Farad

$$X_L = \frac{U}{I} \quad L = \frac{U}{\omega I} \quad L = \frac{X_L}{\omega}$$

$$Z = \sqrt{R^2 + X_L^2}$$

$$\tan \delta^\circ = \frac{\omega \cdot L}{R} = \frac{2 \cdot \pi \cdot f \cdot L}{R} = \varphi$$

$$f = \frac{R \cdot \tan \delta^\circ}{2 \cdot \pi \cdot L}$$

$$Z = \sqrt{R^2 + \left(\frac{U}{\omega I}\right)^2}$$

$$\varphi = \arctan \frac{X_C}{R} = \arctan \frac{1}{\omega R C}$$

$$U_L = \sqrt{U^2 - U_{R_L}^2} \quad Z = \frac{U}{I}$$

$$R_L = \frac{U_{R_L}^2}{P} \quad L = \frac{X_L}{\omega} = \sqrt{\frac{Z^2 - R_L^2}{\omega}}$$

$$I = \frac{U_L}{R_L}$$

$$\frac{U_1}{U_2} = \sqrt{R^2 + \omega^2 L^2 + 1} \quad U_2 = \frac{U_1}{\left(\frac{U_1}{U_2}\right)}$$

$$X = L\omega - \frac{1}{\omega C} \quad / \quad X = X_L - X_C \quad \omega = \text{Kreisfrequenz}$$

$$C = \frac{1}{\omega X_C} \quad C = \frac{1}{\omega R \cdot \tan \varphi - \omega L}$$

$$\tan \varphi = \frac{\omega L - \frac{1}{\omega C}}{R}$$

$$I_C = \frac{U}{X_C} \quad X_C = \frac{U}{I_C}$$

$$I_R = \sqrt{I^2 - I_C^2}$$

$$R = \frac{U}{I_R}$$

Phasenverschiebung:

R = i und u gleichzeitig

L = u eilt i voraus

C = i eilt u voraus

$$1) \quad X_L = \frac{U}{I} \Rightarrow L = \frac{U}{\omega \cdot I} \quad / \quad L = \frac{X_L}{\omega} = \underline{\underline{28,6 \text{ mH}}}$$



$$Z = \sqrt{R^2 + X_L^2} = \sqrt{15k\Omega^2 + (2 \cdot \pi \cdot 2500\text{Hz} \cdot 0,6\text{H})^2} = \underline{\underline{9,545 \text{ k}\Omega}}$$

3)

$$\varphi = \arctan \frac{X_L}{R} = \underline{\underline{80,95^\circ}}$$

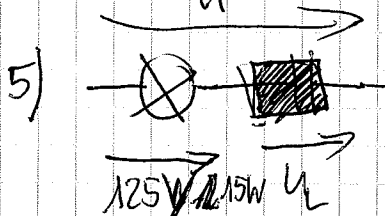
$$\tan 80^\circ = \frac{\omega L}{R} = \frac{2 \cdot \pi \cdot f \cdot L}{R}$$

$$\Rightarrow f = \frac{R \cdot \tan 80^\circ}{2 \cdot \pi \cdot L} = \underline{\underline{5,93 \text{ Hz}}}$$



$$Z = \sqrt{R^2 + \left(\frac{1}{\omega C}\right)^2} = \underline{\underline{2301 \Omega}}$$

$$\varphi = \arctan \frac{X_C}{R} \Rightarrow \arctan \frac{1}{\omega R C} = \underline{\underline{29,61^\circ}}$$



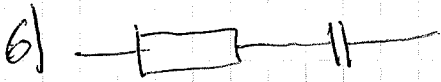
$$U_L = \sqrt{U^2 - U_R^2} = \underline{\underline{180\text{V}}}$$

$$R_L = \frac{U_L^2}{P} = \frac{(180\text{V})^2}{60\text{W}} = \underline{\underline{260 \Omega}}$$

$$I = \frac{U_L}{R_L} = \frac{180\text{V}}{260\Omega} = 0,48\text{A}$$

$$Z = \frac{U}{I} = \frac{220\text{V}}{0,48\text{A}} = \underline{\underline{458,3 \Omega}}$$

$$L = \frac{X_L}{\omega} = \frac{\sqrt{Z^2 - R^2}}{\omega} = \underline{\underline{1,2 \text{ H}}}$$



$$Z = \sqrt{R^2 + \left(\frac{1}{\omega C}\right)^2} = \underline{\underline{25,56 \text{ k}\Omega}}$$

$$\varphi = \arctan \frac{X_C}{R} = \arctan \frac{1}{R \cdot \omega C} = 38,51^\circ$$

7) richtig $\frac{0}{0}$



$$X = \omega \cdot L = \frac{1}{\omega C}$$

$$X_L = 99,24 \text{ k}\Omega$$

$$X_C = 127,37 \text{ k}\Omega$$

$$X = -33,07 \text{ k}\Omega$$

$$\underline{\underline{X_C = 33,07 \text{ k}\Omega}}$$

$$C = 2$$

$$L = 2 \text{ mH}$$



$$X_L = 10 \text{ k}\Omega \text{ bei } 800 \text{ Hz}$$

$$X_C = X \neq X_L$$

$$\frac{1}{\omega C} = \underline{\underline{2,566 \text{ k}\Omega}}$$

$$C = \frac{1}{\omega X_C} = \frac{1}{\dots} = 0,0775 \mu\text{F}$$

10)

$$\tan \varphi = \frac{\omega L - \frac{1}{\omega C}}{R} = \text{scribble}$$

$$\tan \varphi = \frac{\omega L}{R} = \frac{1}{\omega R C}$$

$$\Rightarrow R C = \frac{1}{(\tan \varphi \cdot \frac{\omega L}{R}) \omega R} = 0,0648 \mu\text{F}$$

11)

$$I_C = \frac{U}{X_C} = U \cdot \omega C = 34,55 \text{ mA}$$

$$I_R = \sqrt{I^2 - I_C^2} = 5,54 \text{ mA}$$

$$R = \frac{U}{I_R} = \frac{220 \text{ V}}{5,54 \text{ mA}} = \underline{\underline{39,65 \text{ k}\Omega}}$$

Repetition Flipflop

1. Was ist der Unterschied zwischen einem taktzustandgesteuerten SR - FF und einem flankengesteuerten FF? Zeichnen sie die Symbole



2. Entwickeln Sie ein zustandgesteuertes SR - FF aus Nand - Gliedern.
3. Ein mit abfallender Flanke gesteuertes SR - FF soll durch einfache äussere Beschaltung zu einem JK - FF mit ansteigender Flanke gemacht werden. Schaltung?
4. Wie heisst die Wahrheitstabelle eines taktzustandgesteuerten SR - FF mit dominierendem S - Eingang?

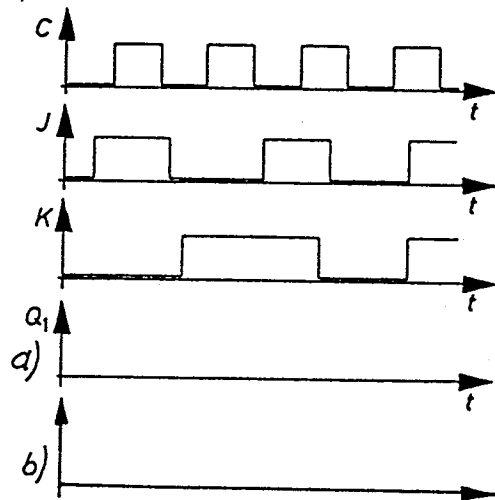
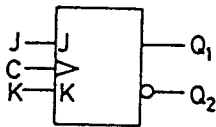
S	R	Q_{k+1}	\overline{Q}_{k+1}

5. Wie sieht das Symbol und die Wahrheitstabelle eines flankengesteuerten D - FF aus?

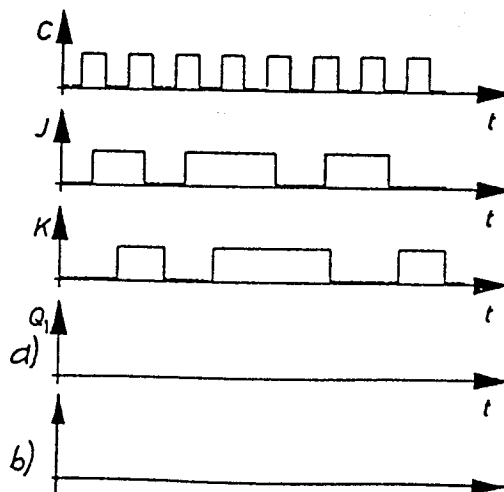
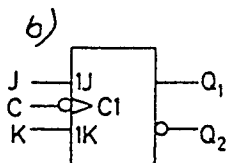
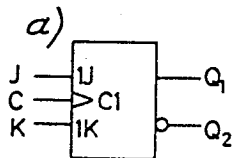
C	D	Q_{t+n+1}
0	0	0
0	1	0
1	0	0
1	1	1

6. Zeichne das Aufbau eines JK - MS - FF !

7. Geben Sie das Zeitdiagramm des Ausgangssignales Q an:
a) für ein JK - FF mit ansteigender Flanke
b) für ein JK - FF mit abfallender Flanke!



8. Wie sieht das Ausgangssignal der FF aus?



9. Welches Flipflop hat ein Zeitablaufdiagramm nach Bild 2?

1. Taktflankengesteuertes JK-Flipflop mit positiver Flanke;
2. taktflankengesteuertes JK-Flipflop mit negativer Flanke;
3. mit H-Pegel taktzustandgesteuertes JK-Flipflop;
4. mit L-Pegel taktzustandgesteuertes JK-Flipflop;
5. zweiflankengesteuertes Master-Slave-JK-Flipflop.

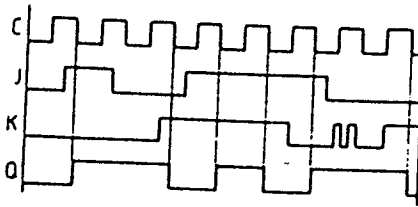


Bild 2

10. Welches Flipflop zeigt Bild 3?

1. Taktflankengesteuertes JK-Flipflop mit positiver Flanke;
2. taktflankengesteuertes JK-Flipflop mit negativer Flanke;
3. zweiflankengesteuertes Master-Slave-JK-Flipflop;
4. taktzustandgesteuertes Master-Slave-JK-Flipflop;
5. einflankengesteuertes Master-Slave-JK-Flipflop.

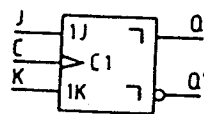
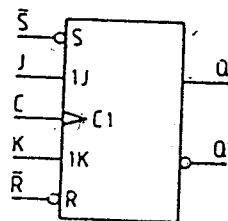


Bild 3

11. Bei welcher Ansteuerung kippt das JK-Flipflop rechts, so daß der Q-Ausgang H-Pegel führt?

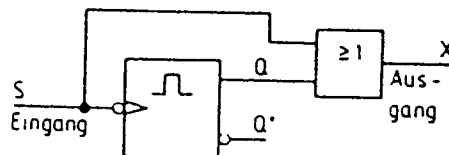
1. L-Pegel an \bar{S} ;
2. H-Pegel an \bar{S} ;
3. H-Pegel an S und negative Flanke an C;
4. L-Pegel an \bar{R} ;
5. L-Pegel an \bar{R} und positive Flanke an C.



12. Welche Spalte der Ausgangszustände in der Arbeitstabelle rechts gilt für ein JK-Flipflop?

C	J	K	1.	2.	3.	4.	5.
			Q	Q	Q	Q	Q
L	beliebig		q_n	q_n	\bar{q}_n	L	\bar{q}_n
H	beliebig		q_n	q_n	\bar{q}_n	H	\bar{q}_n
L → H	L	L	q_n	L	q_n	q_n	q_n
L → H	L	H	L	L	L	L	L
L → H	H	L	H	H	H	H	H
L → H	H	H	\bar{q}_n	\bar{q}_n	q_n	q_n	?

13. Welches Ausgangssignal x von Bild 4 liefert die Schaltung Bild 4 nach Ansteuerung mit dem Signal s?



14. Wozu dient die Schaltung Bild 4?

- Die Schaltung Bild 4 dient als
1. S-Flipflop;
 2. RS-Flipflop;
 3. Verzögerungsglied;
 4. Impulsverkürzungsglied;
 5. Flipflop mit zusätzlichem S Eingang

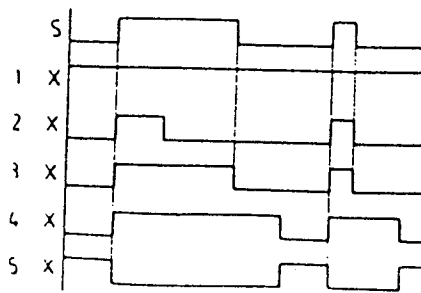
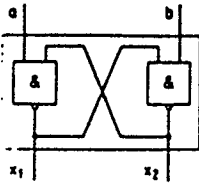
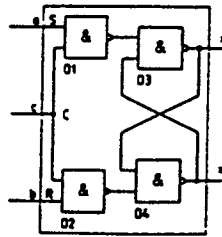


Bild 4

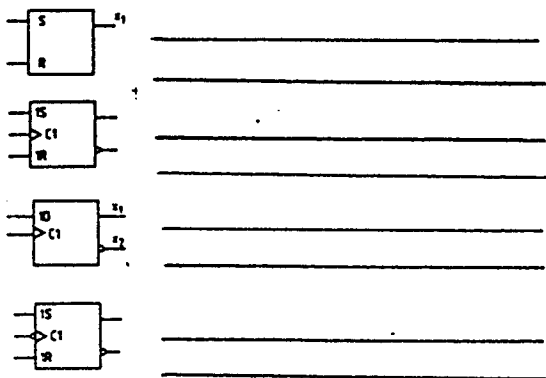
6. Zeichne das Symbol dieses FF!



7. Wie lautet die Wertetabelle dieses FF?

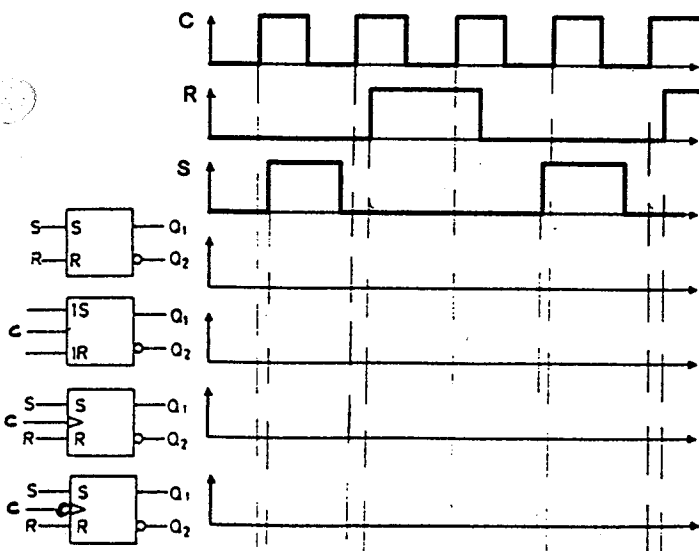


8. Um welches FF handelt es sich (vollständige Beschreibung)



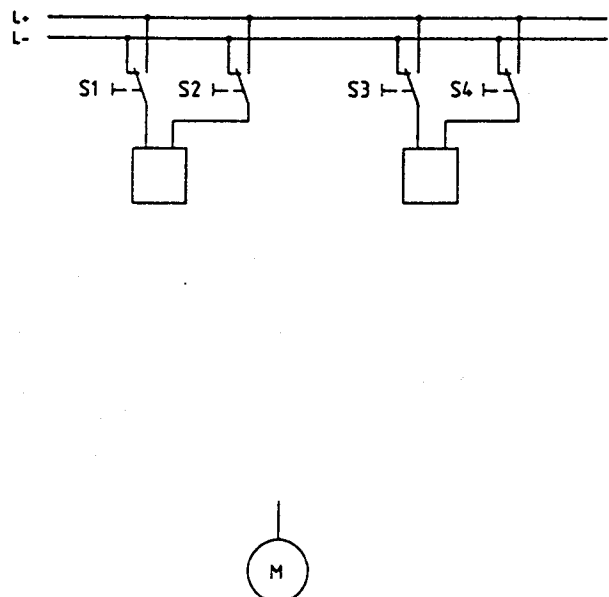
S	R	C	Q_{t+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1

9. Zeichnen Sie das Impulsdiagramm der entsprechenden FF!



10.

Der Motor einer Werkzeugmaschine soll nur dann anlaufen, wenn zwei Taster S1 und S2 gleichzeitig betätigt werden (Sicherheitsmaßnahme). Die Anlage soll durch einen Taster S3 abschaltbar sein. Zusätzlich ist ein NOT-Aus-Taster vorzusehen (S4).



11.

Welche der 5 Spalten Q1, Q2, Q3, Q4 oder Q5 in der Wahrheitstabelle gehört zu der angegebenen Schaltung?

		Q_{n-1}				
I_1	I_2	Q1	Q2	Q3	Q4	Q5
0	0	Q_{n-1}	Q_{n-1}	*	Q_{n-1}	Q_{n-1}
1	0	1	1	0	1	1
0	1	0	0	1	1	0
1	1	*	1	Q_{n-1}	Q_{n-1}	0

a) Q1
b) Q2
c) Q3
d) Q4
e) Q5

12.

Welche Art von Kippglied entsteht durch die angegebene Eingangsbeschriftung?

a) RS-Kippglied mit Priorität des Setzsignals
b) RS-Kippglied mit Priorität des Rücksetzsignals
c) RS-Kippglied ohne Priorität eines Eingangssignals
d) RS-Kippglied ohne Priorität eines Eingangssignals
e) RS-Kippglied mit Priorität des zuerst eintreffenden Eingangssignals

13.

Wann erfolgt die Übernahme des D-Signals bei dem mit Schaltzeichen angegebenen D-Kippglied?

a) Bei C = 1
b) Bei C = 0
c) Während der positiven Flanke des C-Signals
d) Während der negativen Flanke des C-Signals
e) Während der positiven und negativen Flanke des C-Signals

14.

Das Bild zeigt die unvollständige Wahrheitstabelle eines D-Kippgliedes. Welcher Ausgangszustand muß noch in die 2. Zeile eingetragen werden?

C	D	Q_{n-1}
0	0	Q_{n-1}
0	1	
1	1	1
1	0	0

a) Q_{n-1}
b) 1
c) 0
d) \bar{Q}_{n-1}
e) X

15.

Der Signal-Zeit-Plan gehört zu einem RS-Kippglied, dessen Verhalten durch eine Eingangsbeschriftung verändert wurde. Welches Verhalten des RS-Kippgliedes ist durch die Eingangsbeschriftung entstanden?

a) RS-Kippglied mit Priorität des zuerst eintreffenden Eingangssignals
b) RS-Kippglied ohne Priorität eines Eingangssignals
c) RS-Kippglied ohne Priorität eines Eingangssignals
d) RS-Kippglied mit Priorität des Rücksetzsignals
e) RS-Kippglied mit Priorität des Setzsignals

16.

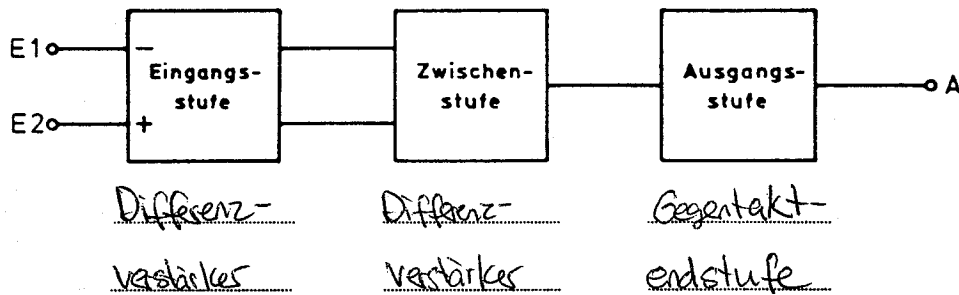
Welche der 5 Spalten Q1, Q2, Q3, Q4 oder Q5 in der Wahrheitstabelle gehört zu einem D-Kippglied?

		Q_{n-1}				
C	D	Q1	Q2	Q3	Q4	Q5
0	0	Q_{n-1}	Q_{n-1}	Q_{n-1}	*	Q_{n-1}
1	0	1	0	1	0	1
0	1	0	Q_{n-1}	0	1	0
1	1	\bar{Q}_{n-1}	1	*	Q_{n-1}	Q_{n-1}

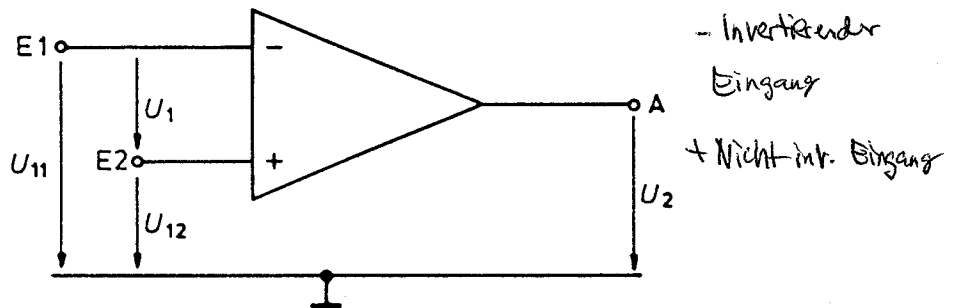
a) Q1
b) Q2
c) Q3
d) Q4
e) Q5

Symbol und Eigenschaften

Blockschaltbild:



Symbol:

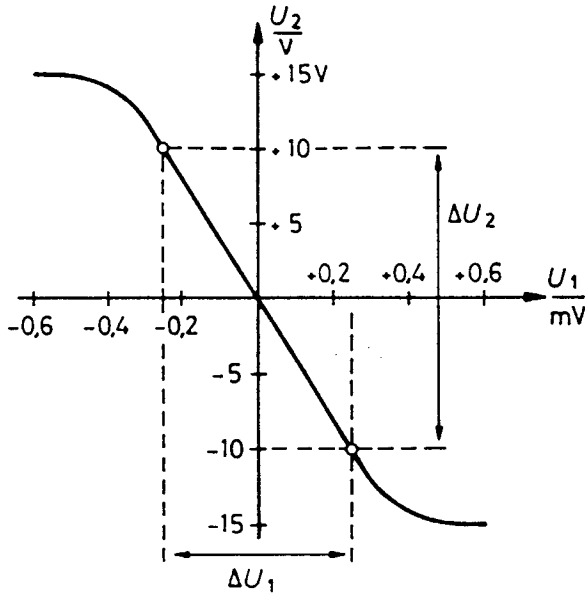


Eigenschaften	ideal	wirklich
Leerlaufspannungsverstärkung $V_0 = \frac{U_2}{U_1}$	∞	$> 10^5$
Eingangswiderstand R_1 zwischen beiden Eingängen	∞	$> 0,2 \text{ M}\Omega$
Ausgangswiderstand R_2	0	$< 1 \text{ k}\Omega$
Phasenwinkel	$\varphi_{E1/A}$	180°
	$\varphi_{E2/A}$	0°

Die Eigenschaften eines beschalteten idealen Operationsverstärkers hängen nur von der Beschaltung ab. Das ist auch für den wirklichen Operationsverstärker der Fall, wenn die äußere Beschaltung hochohmig gegenüber dem Ausgangswiderstand und niederohmig gegenüber dem Eingangswiderstand des Operationsverstärkers ist.

Übertragungskennlinie, Frequenzgang und Verstärkung

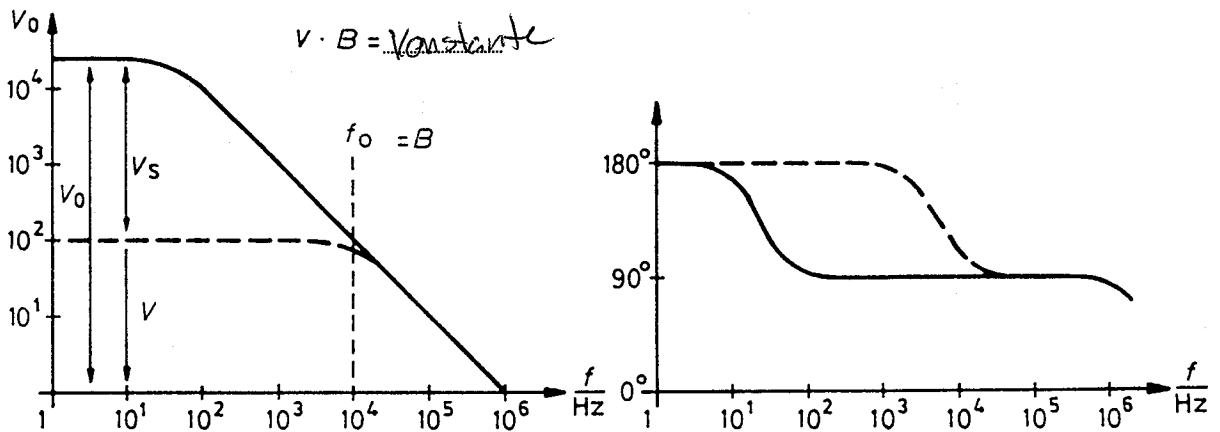
Übertragungskennlinie $U_2 = f(U_1)$



Verstärkung V_0 als Spannungsverhältnis	dB
1	0
1,4	3
2	6
3	9,5
5	14
10	20
100	40
1 000	60
10 000	80
100 000	100

$V_0 = \frac{\Delta U_2}{\Delta U_1} = \frac{20V}{0,5V} = 40'000 \hat{=} 92 \text{ dB}$ $20 \cdot \log 40'000$

Frequenzgang $V_0 = f(f)$ und $\varphi = f(f)$ — ohne - - - mit } Gegenkopplung



$V_0 =$ Leerlaufverstärkung

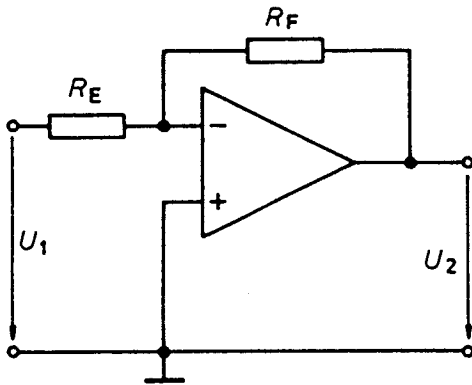
$V =$ Verstärkung des gegengekoppelten Verst.

Das Verhältnis der Leerlaufverstärkung zur Verstärkung des gegengekoppelten Verstärkers wird Schleifenverstärkung V_s genannt. Es gilt:

$$V_s = \frac{V_0}{V}$$

Je größer die Schleifenverstärkung, je stärker also die Gegenkopplung ist, desto besser werden die Eigenschaften eines Operationsverstärkers, desto weniger fallen die Abweichungen des wirklichen Operationsverstärkers vom idealen ins Gewicht.

Beschaltung als invertierender und nichtinvertierender Verstärker



invertierender Verstärker

$$U_2 = -U_1 \cdot \frac{R_F}{R_E}$$

$$V = \frac{R_F}{R_E}$$

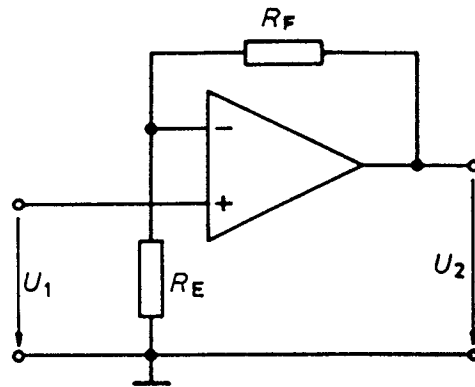
$$R_1 = R_E$$

$$R_2 = R_2' \cdot \frac{V}{V_0}$$

bei $R_E = R_F$

ist $U_2 = -U_1$

Invertierendes



nichtinvertierender Verstärker

$$U_2 = U_1 \cdot \frac{R_F + R_E}{R_E}$$

$$V = \frac{R_F + R_E}{R_E} = \frac{R_F}{R_E} + 1$$

$$R_1 = R_1' \cdot V_S = \infty$$

$$R_2 = R_2' \cdot \frac{V}{V_0} = R_2' \cdot \frac{1}{V_S}$$

bei $R_E = \infty$ und $R_F = 0$

ist $U_2 = U_1$

Spannungsfollower

Sonderfälle

Beispiele: Operationsverstärker TBA 221 ($\mu A 741$)

$$R_i = 1 \text{ MOhm}, R_2 = 150 \text{ Ohm}, V_0 = 100 \text{ dB} = 100\,000$$

1. Dimensionierung eines invertierenden Verstärkers mit $R_1 = 10 \text{ kOhm}$ und $V = 4.7$

$$R_E = \frac{10 \text{ kOhm}}{4.7} = 2127.66 \text{ Ohm}; R_F = 47 \text{ kOhm}$$

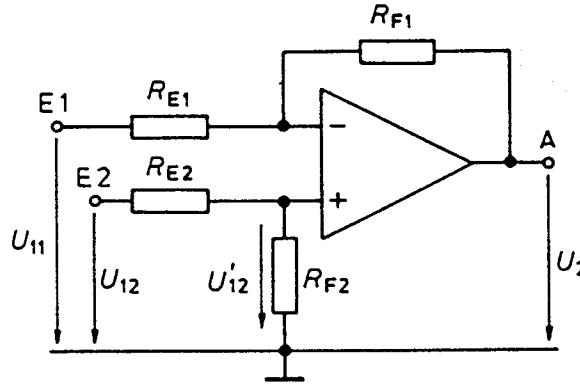
daraus ergibt sich: $R_2 = 0,00705 \text{ Ohm}$

2. Eigenschaften eines nichtinvertierenden Verstärkers mit gleichen Werten für R_F und R_E

$$V = 1 + \frac{R_F}{R_E} = 5.7 \quad R_1 = 17,5 \text{ GOhm}$$

$$R_2 = 0,00255 \text{ Ohm}$$

Beschaltung als Differenzverstärker



a) bei $U_{11} = 0$ (Eingang E1 an Masse)

ist $U_2 = U_{12} \cdot \frac{R_F + R_{E1}}{R_{E1}}$ (nichtinvertierender Verst.)

$$U_{12}' = U_{12} \frac{R_{F2}}{R_{F2} + R_{E2}}$$

$$U_2 = U_{12}' \cdot \frac{R_{F2} (R_{F1} + R_{E1})}{R_{E1} (R_{F2} + R_{E2})}$$

b) bei $U_{12} = 0$ (Eingang E2 an Masse)

ist $U_2 = -U_{11} \cdot \frac{R_{F1}}{R_{E1}}$ (invertierender Verst.)

c) bei $U_{11} \neq 0$ und $U_{12} \neq 0$

ist $U_2 = U_{12} \cdot \frac{R_{F2} (R_{F1} + R_{E1})}{R_{E1} (R_{F2} + R_{E2})} - U_{11} \cdot \frac{R_{F1}}{R_{E1}}$

1. Sonderfall: $R_{F1} = R_{F2} = R_F$ und $R_{E1} = R_{E2} = R_E$

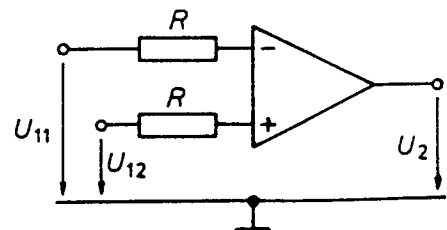
$$U_2 = (U_{12} - U_{11}) \cdot \frac{R_F}{R_E}$$

2. Sonderfall: $R_{F1} = R_{F2} = R_{E1} = R_{E2}$

$$U_2 = U_{12} - U_{11}$$

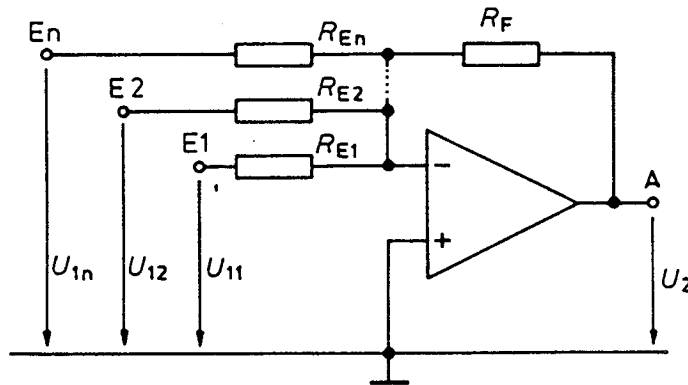
3. Sonderfall: $R_{F1} = R_{F2} = \infty$ und $R_{E1} = R_{E2} = R$

Eingänge	Ausgangsspannung U_2
$U_{11} > U_{12}$	negativer Sättigung
$U_{11} < U_{12}$	positives Sättigung
$U_{11} = U_{12}$	Polaritätswechsel



Vergleicher für Spannungen gleicher Polarität.

Beschaltung als summierender Verstärker



$$U_2 = -R_F \left(\frac{U_{11}}{R_{E1}} + \frac{U_{12}}{R_{E2}} + \dots + \frac{U_{1n}}{R_{En}} \right)$$

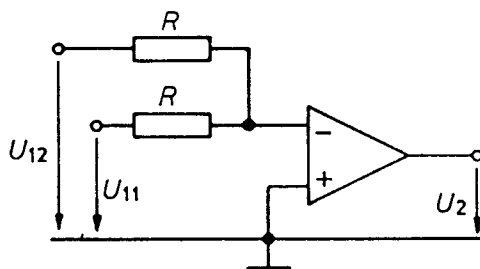
1. Sonderfall: $R_{E1} = R_{E2} = \dots = R_{En} = R_E$

$$U_2 = -\frac{R_F}{R_E} (U_{11} + U_{12} + \dots + U_{1n})$$

2. Sonderfall: $R_E = R_F$

$$U_2 = -(U_{11} + U_{12} + \dots + U_{1n})$$

3. Sonderfall: $R_F = \infty$; $R_{E1} = R_{E2} = R$



Eingänge	Ausg.-Span. U_2
$U_{11} > -U_{12}$	neg. Sättigung
$U_{11} < -U_{12}$	pos. Sättigung
$U_{11} = -U_{12}$	Polaritätswechsel

Der 3. Sonderfall stellt einen Vergleich für Spannungen ungleicher Polarität dar.

Beispiele: 1. $R_{E1} = R_{E2} = R_E = 10 \text{ k}\Omega$, $R_F = 33 \text{ k}\Omega$

$$U_2 = -\frac{R_F}{R_E} (U_{11} + U_{12}) = \underline{\underline{-3,3 (U_{11} + U_{12})}}$$

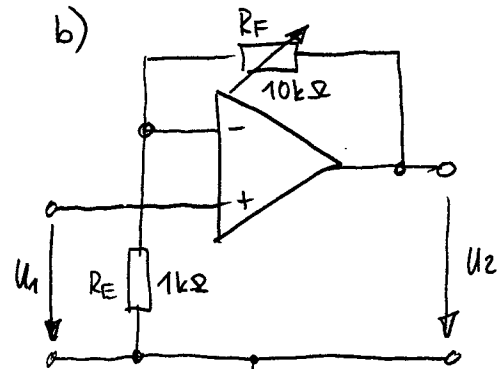
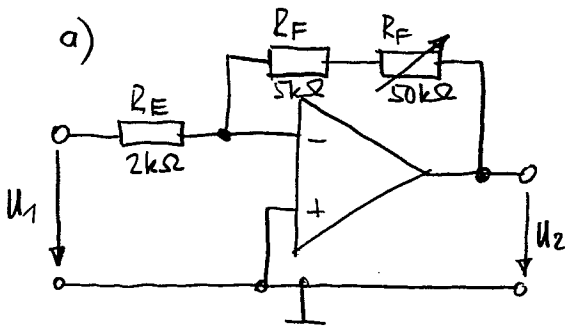
2. Beschaltung für einen Addierer mit $R_F = 150 \text{ k}\Omega$ und einer Ausgangsspannung von $U_2 = -5(3U_{11} + U_{12})$

$$U_2 = -R_F \left(\frac{U_{11}}{R_{E1}} + \frac{U_{12}}{R_{E2}} \right) = -\left(\frac{R_F}{R_{E1}} \cdot U_{11} + \frac{R_F}{R_{E2}} \cdot U_{12} \right) = \underline{\underline{- (15 \cdot U_{11} + 5U_{12})}}$$

$$R_{E1} = \underline{\underline{10 \text{ k}\Omega}} \quad R_{E2} = \underline{\underline{30 \text{ k}\Omega}}$$

OPERATIONSVERSTÄRKER: Wiederholungsfragen

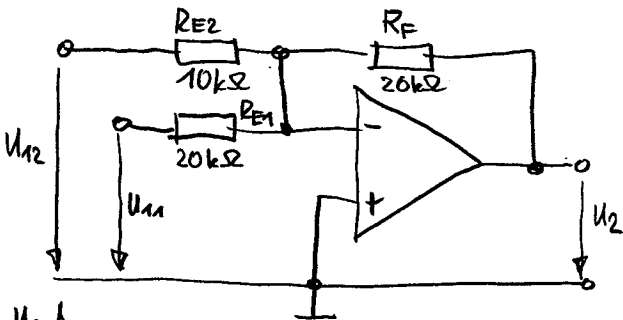
1) In welchen Bereichen lässt sich bei folgenden Operationsverstärkern die Verstärkung einstellen?



a) $V = \frac{R_F}{R_E} = \frac{5k\Omega}{2k\Omega} = 2,5$ $V_{min} = \frac{5k\Omega}{2k\Omega} = 2,5$ $V_{max} = \frac{55k\Omega}{2k\Omega} = 27,5$

b) $V = \frac{R_F + R_E}{R_E} = \frac{R_F}{R_E} + 1$ $V_{min} = \frac{10k\Omega}{1k\Omega} + 1 = 11$ $V_{max} = \frac{10k\Omega}{1k\Omega} + 1 = 11$

2) Zeichnen Sie für folgende Schaltung und die angegebenen Eingangsspannungen die Ausgangsspannung!



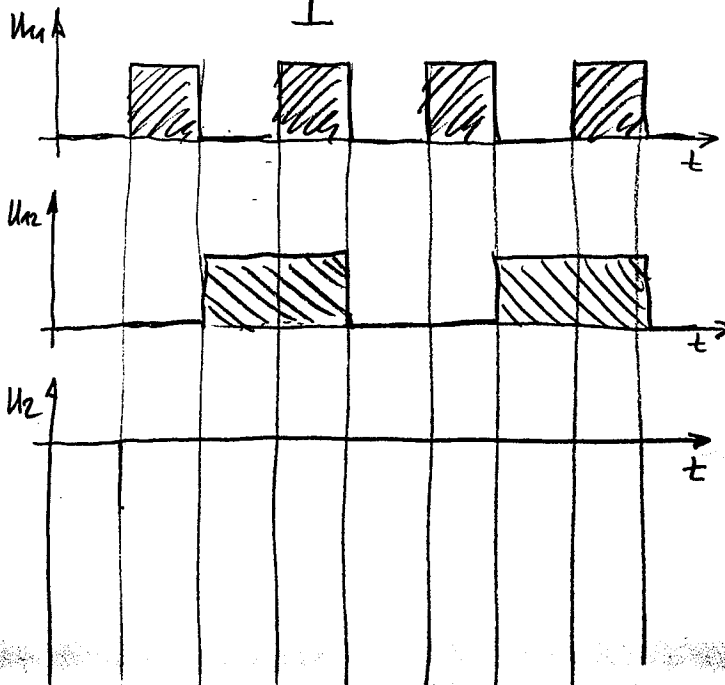
Berechnung:

$$U_2 = -U_{12} \cdot \frac{R_F + R_{E2}}{R_{E1}}$$

$$= - \left(U_{11} \cdot \frac{R_F}{R_{E1}} + U_{12} \cdot \frac{R_F + R_{E2}}{R_{E1}} \right)$$

$$U_2 = - (2U_{11} + 2U_{12})$$

$$U_2 = -2U_{11} - 2U_{12}$$



1. Beispiel: Es ist mit dem Operationsverstärker $\mu\text{A} 741 \text{ C}$ ein invertierender Verstärker für eine Speisespannung von 2mal 15 V zu dimensionieren, der bei einem Eingangswiderstand von 1,5 k Ω eine Verstärkung von 45fach hat. Wegen möglicher kleiner Eingangsspannungen ist die Wirkung des Eingangsstroms zu kompensieren. Außerdem sind die wichtigsten übrigen Eigenschaften zu ermitteln.

$$R_E = 1,5 \text{ k}\Omega$$

$$V = 45$$

2. Beispiel: Es sind die Eigenschaften der Schaltung in Abb. 4.85 zu ermitteln.

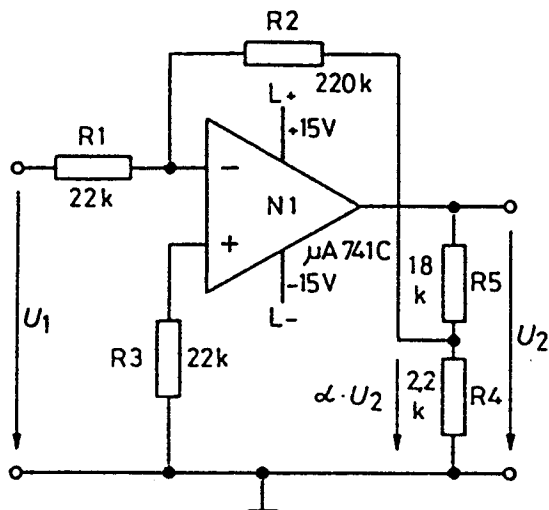


Abb. 4.85 – Schaltung zum 2. Beispiel

3. Beispiel: Für eine hochohmige Signalquelle wird ein Verstärker mit sehr hohem Eingangswiderstand, niedrigem Ausgangswiderstand und fünffacher Verstärkung benötigt. Die zur Verfügung stehende Speisespannung beträgt 2mal 15 V.

Grenzwerte

$$U_S = \pm 18 \text{ V}$$

$$U_{1G} = \pm 15 \text{ V, aber } \leq \pm U_S$$

$$U_{1D} = \pm 30 \text{ V}$$

$$P_{tot} = 500 \text{ mW}$$

typische Kennwerte bei $U_S = \pm 15 \text{ V}$

$$U_{10} = 2 \text{ mV}$$

$$TK_{U_{10}} = 3 \mu\text{V/K}$$

$$I_{10} = 20 \text{ nA}$$

$$TK_{I_{10}} = 0,4 \text{ nA/K}$$

$$I_1 = 80 \text{ nA}$$

$$r_{10} = 2 \text{ M}\Omega$$

$$r_2 = 75 \Omega$$

$$V_{u0} = 106 \text{ dB (200000)}$$

$$G = 90 \text{ dB (32000)}$$

$$B = 10 \text{ Hz}$$

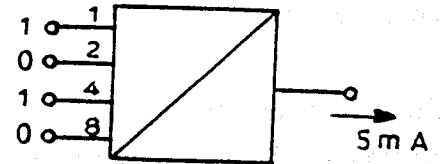
$$S_{U2} = 0,5 \text{ V}/\mu\text{S}$$

Tabelle 4.3 – Daten des Operationsverstärkers $\mu\text{A} 741 \text{ C}$

1. Grundprinzip der A/D- und D/A-Wandlung

Eine Information liegt

- digital vor als Darstellung in einem *Code*..... ,
z.B. 0101 oder 0111
- analog vor als Mass einer *physikalischen Grösse*..... ,
z.B. 5mA oder 7V

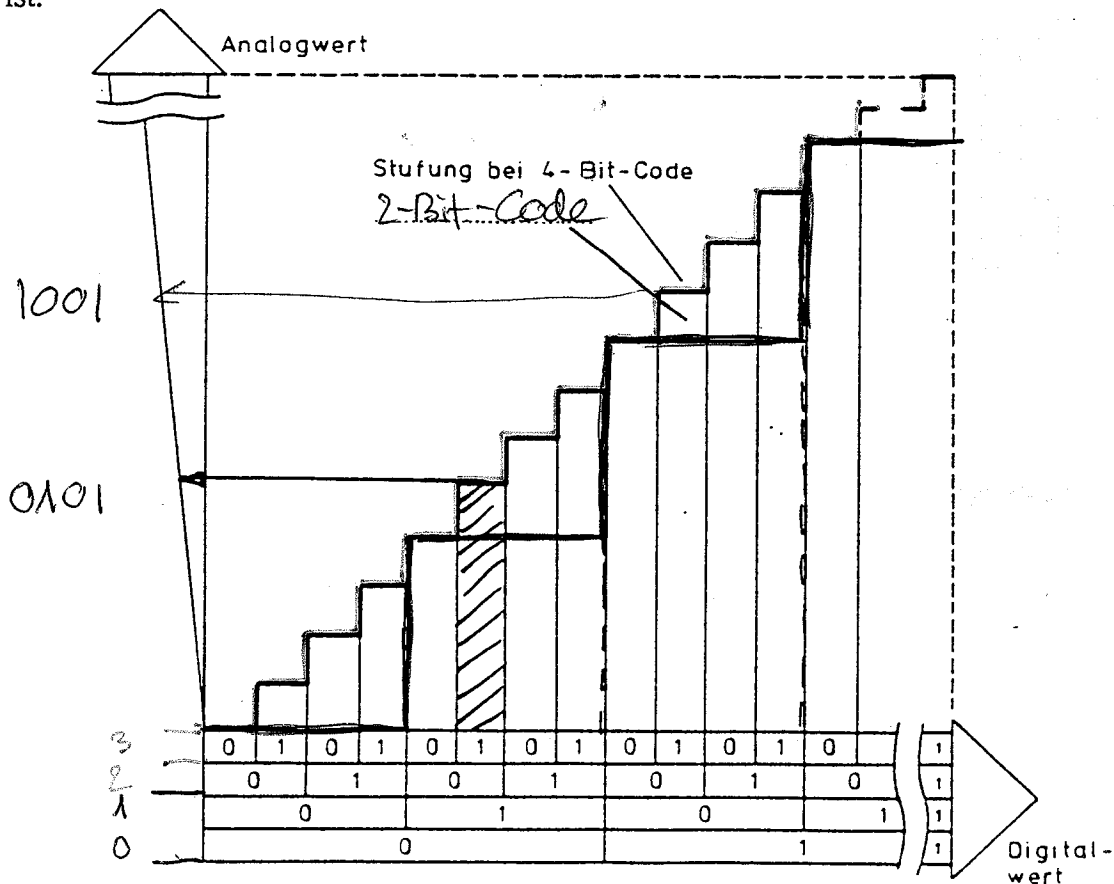


1.1. D/A- und A/D-Wandlung

1.1.1. D/A-Wandlung

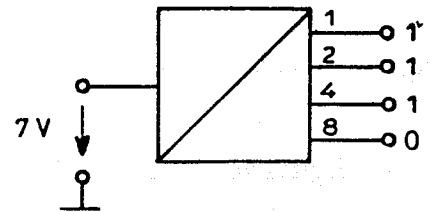
Am Ausgang eines D/A-Wandlers liegt eine physikalische Grösse (z.B. Spannung oder Strom), deren Masszahl vom eingegebenen *Codezeichen*..... bestimmt wird.

Jedes Codezeichen führt zu einem bestimmten Analogwert. Da sich der Wert der Codezeichen in Stufen ändert, können dem verfügbaren Bereich der analogen Grösse nur bestimmte Zwischenwerte entnommen werden. Die Unterteilung ist um so feiner, je grösser die *Stellenzahl*..... der Codezeichen ist.

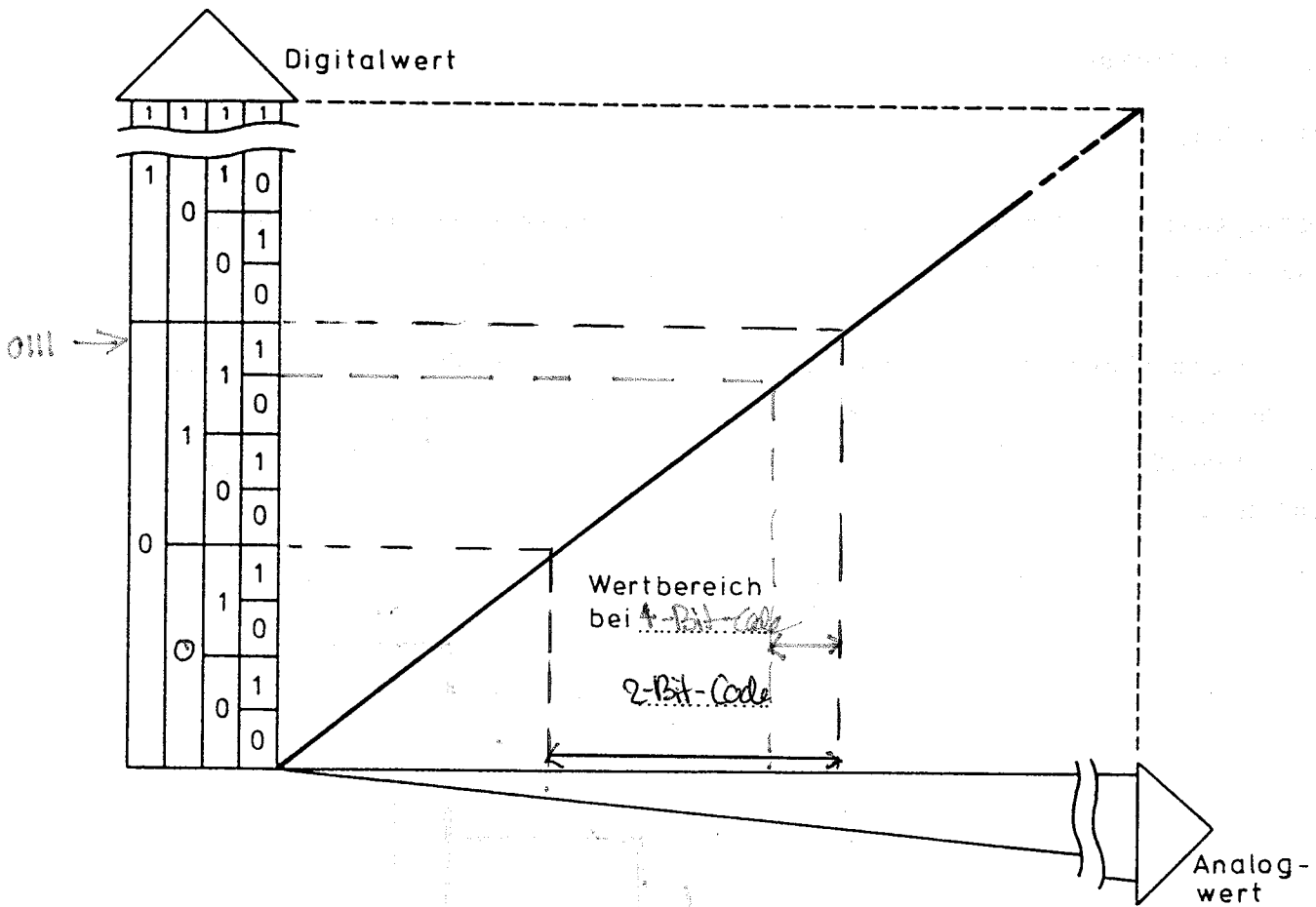


1.1.2. A/D-Wandlung

Am Ausgang eines A/D-Wandlers liegt ein Codezeichen, das den Wertbereich der Masszahl der physikalischen Grösse am Eingang bezeichnet.



Jeder Wert der analogen Grösse führt zu einem Codezeichen, wobei alle Werte innerhalb eines bestimmten Wertbereiches zum selben Codezeichen führen. Wie gross ein Wertbereich ist, hängt von der Stellenzahl des Codezeichens ab.



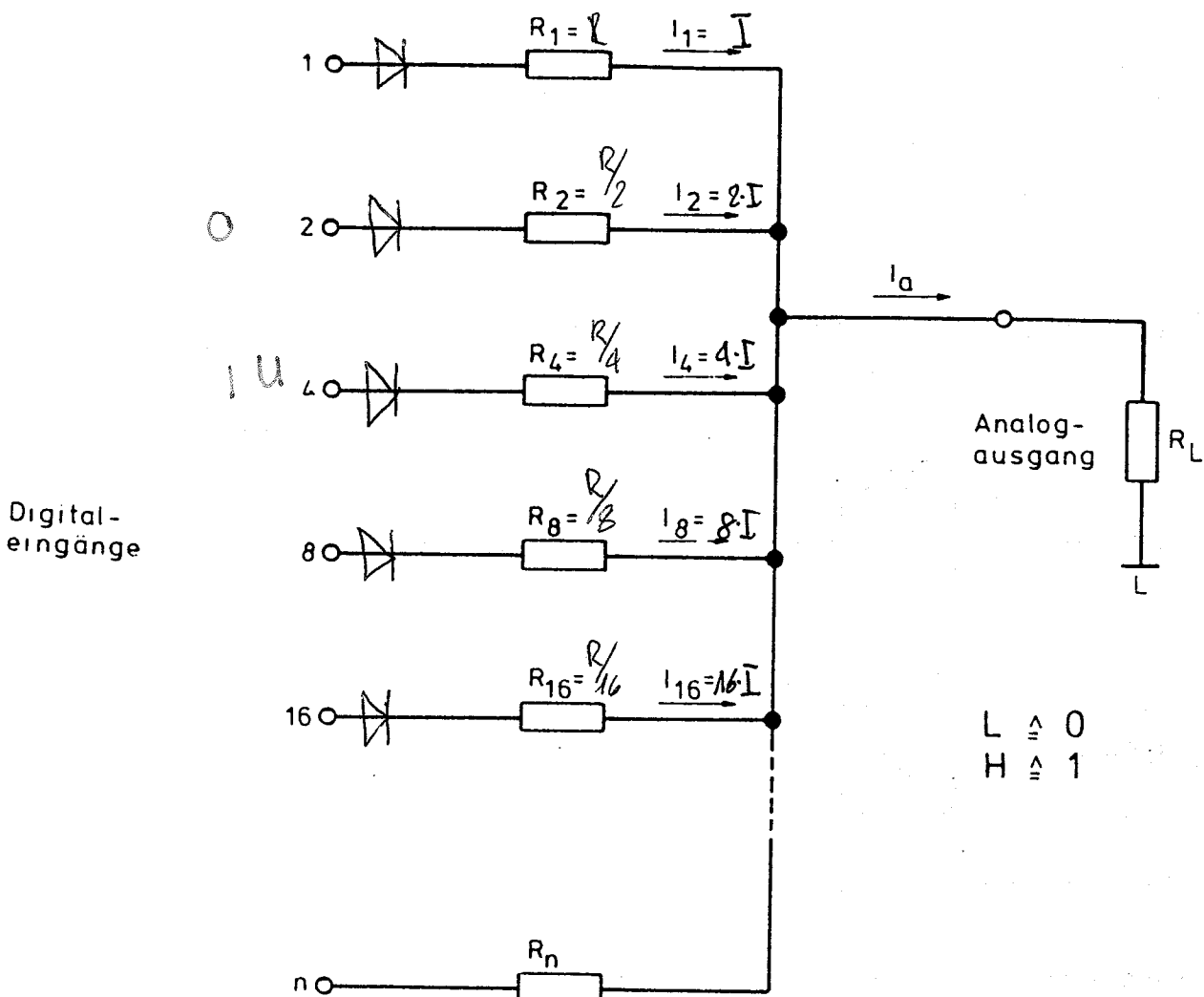
Anwendungsbeispiele

D/A-Wandler: Anzeige von Digitalwerten mit Zeigerinstrumenten

A/D-Wandler: Digitale Messgeräte

1.2. D/A-Wandler

1.2.1. D/A-Wandler mit Stromausgang



Jeder Teilstrom entspricht *den Wertigkeiten der entsprechenden Stellen* des Dualcodes.
 Es ist also:

$$I_1 : I_2 : I_4 : I_8 : I_{16} : I_n = 1 : 2 : 4 : 8 : 16 : \dots : n$$

Daraus ergibt sich für die Größe der Widerstände:

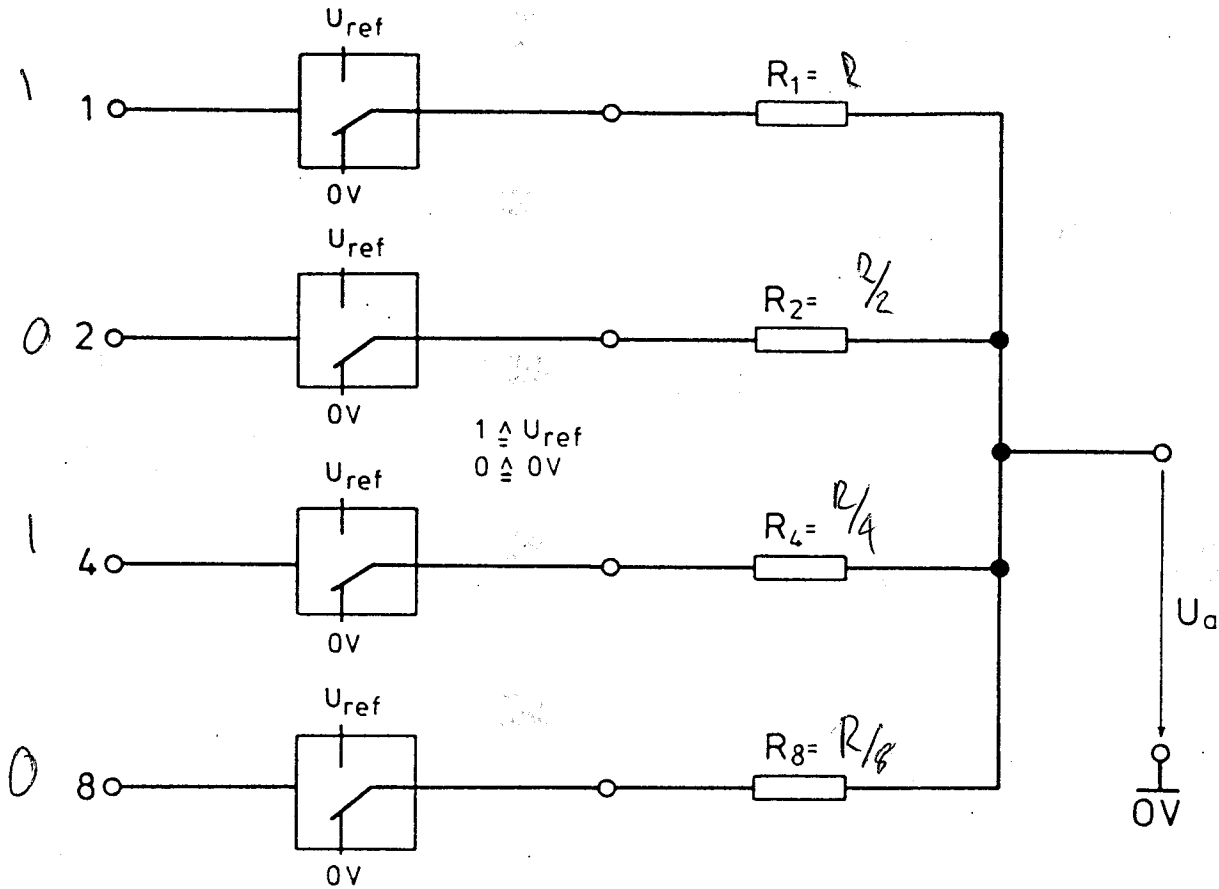
$$R_1 = R \quad R_2 = \frac{R}{2} \quad R_4 = \frac{R}{4} \quad R_8 = \frac{R}{8} \quad R_{16} = \frac{R}{16} \text{ usw.}$$

D/A-Wandler nach diesem Prinzip sind nur für *additive* Codes möglich.

Um den Ausgangsfehler klein zu halten, soll R_L gegenüber der Parallelschaltung aller Teilwiderstände R_1 bis R_n *klein* sein. Die Dioden verhindern *Rückwärtsströme*.

1.2.2. D/A-Wandler mit Spannungsausgang

Schaltungsprinzip eines Wandlers für 4-Bit-Dualcode:



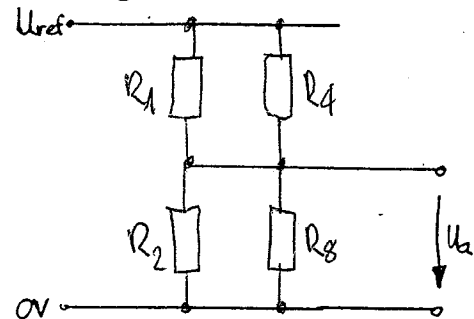
Die Widerstände R_1 bis R_8 haben die gleichen Werte wie beim D/A-Wandler mit Stromausgang.

Für jede Eingangskombination bilden die Widerstände einen bestimmten Spannungsteiler, der die analoge Ausgangsspannung U_a aus der Referenzspannung U_{ref} erzeugt (siehe Tabelle).

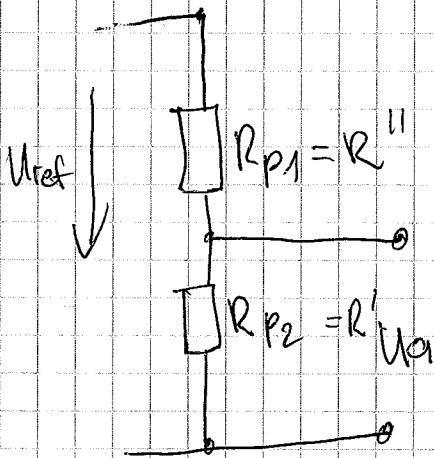
Digitalgröße				Analogspannung	Digitalgröße				Analogspannung
2^3	2^2	2^1	2^0		2^3	2^2	2^1	2^0	
0	0	0	0	0	1	0	0	0	$\frac{8}{15} U_{ref}$
0	0	0	1	$\frac{1}{15} U_{ref}$	1	0	0	1	$\frac{9}{15} U_{ref}$
0	0	1	0	$\frac{2}{15} U_{ref}$	1	0	1	0	$\frac{10}{15} U_{ref}$
0	0	1	1	$\frac{3}{15} U_{ref}$	1	0	1	1	$\frac{11}{15} U_{ref}$
0	1	0	0	$\frac{4}{15} U_{ref}$	1	1	0	0	$\frac{12}{15} U_{ref}$
0	1	0	1	$\frac{5}{15} U_{ref}$	1	1	0	1	$\frac{13}{15} U_{ref}$
0	1	1	0	$\frac{6}{15} U_{ref}$	1	1	1	0	$\frac{14}{15} U_{ref}$
0	1	1	1	$\frac{7}{15} U_{ref}$	1	1	1	1	U_{ref}

Beispiel:

Spannungsteiler bei 0101 = 5



Beiblatt zu 1.2.2. D/A-Wandler mit Spannungsausgang



$$R_{p1} = \frac{R_1 \cdot R_4}{R_1 + R_4} = \frac{R \cdot \frac{1}{4}R}{R + \frac{1}{4}R}$$

$$\frac{1}{R_{p1}} = \frac{1}{R_1} + \frac{1}{R_4}$$

$$R_{p2} = \frac{R_2 \cdot R_3}{R_2 + R_3} = \frac{\frac{1}{2}R \cdot \frac{1}{8}R}{\frac{1}{2}R + \frac{1}{8}R}$$

$$U_a = U_{ref} \cdot \frac{R_{p2}}{R_{p1}}$$

$$R_{p1} = \frac{1}{\frac{1}{R_2} + \frac{1}{R_3}} = \frac{1}{\frac{1}{\frac{R}{2}} + \frac{1}{\frac{R}{8}}} = \frac{1}{\frac{10}{R}} = \frac{R}{10}$$

$$R_{p2} = \frac{1}{\frac{1}{R_1} + \frac{1}{R_4}} = \frac{1}{\frac{1}{R} + \frac{1}{4}} = \frac{1}{\frac{5}{R}} = \frac{R}{5}$$

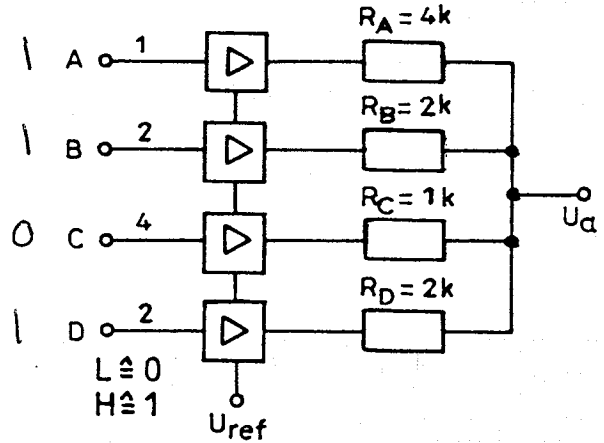
$$U_a = U_{ref} \cdot \frac{\frac{R}{5}}{\frac{R}{10}} = U_{ref} \cdot \frac{2}{1} = \frac{2}{3} U_{ref}$$

Aufgabe:

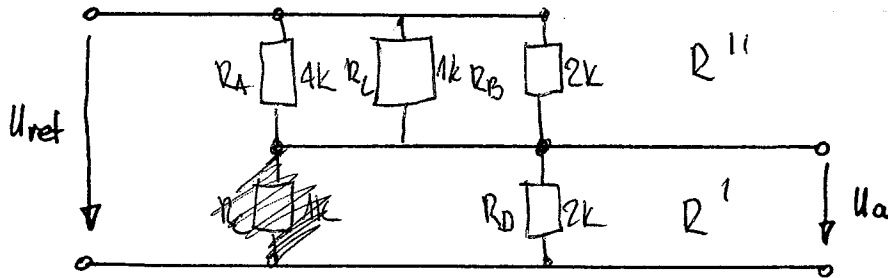
Ein **Digital-Analog-Wandler mit Spannungsausgang** arbeitet mit einer Referenzspannung $U_{ref} = 9\text{ V}$. Die Dimensionierung der Widerstände ist für Aikencode ausgelegt und geht aus der Abbildung hervor.

Berechnen Sie die analoge Ausgangsspannung für folgendes Eingangssignal:

- A = 1
- B = 1
- C = 0
- D = 1



Bei dem genannten Eingangssignal ergibt sich folgende Schaltung der Widerstände:



Berechnung der Ausgangsspannung U_a :

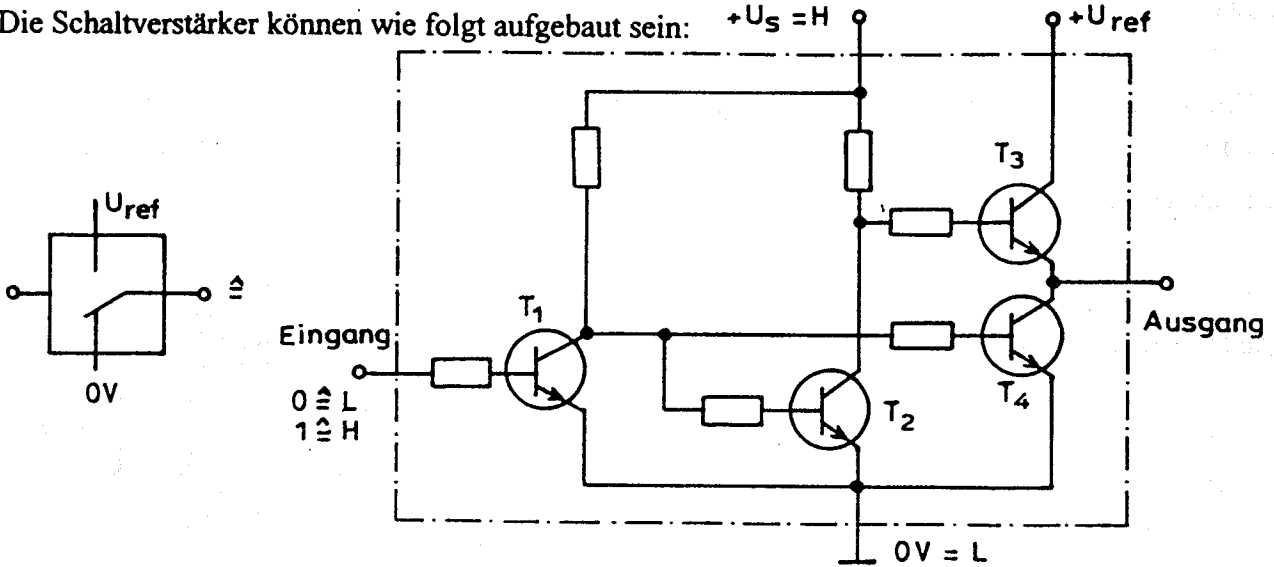
$R_A = 4k, R_B = 2k, R_C = 1k, R_D = 2k$

$$R' = \frac{1}{\frac{1}{2} + \frac{1}{1}} = \frac{1}{1,5}$$

$$R'' = \frac{1}{\frac{1}{4} + \frac{1}{1} + \frac{1}{2}} = \frac{1}{1,75}$$

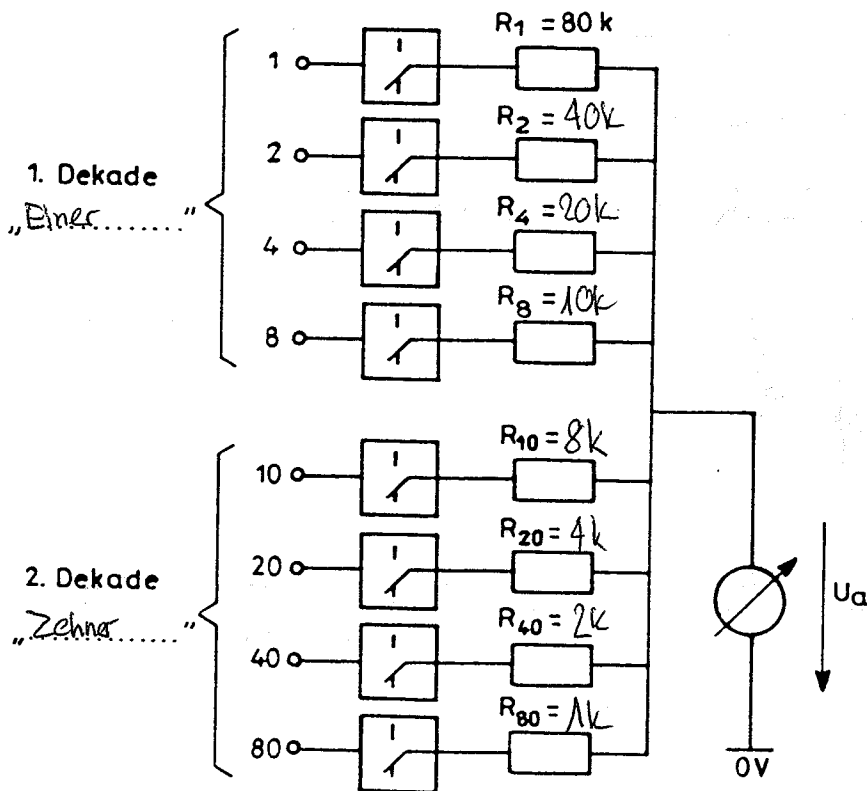
$$U_a = U_{ref} \cdot \frac{1/1,75}{\frac{1}{1,75} + \frac{1}{0,5}} = 0,152 = 5V$$

Die Schaltverstärker können wie folgt aufgebaut sein:



Eingangswert	T ₁		T ₂		T ₃		T ₄		Ausgangsspannung
	gesperrt	leitend	gesperrt	leitend	gesperrt	leitend	gesperrt	leitend	
0	X			X	X			X	0
1		X	X			X		X	U _{ref}

Schaltungsprinzip eines Wandlers für BCD-Codes:



1.2.3. Abhängigkeit der Ausgangsspannung vom Digitalwert

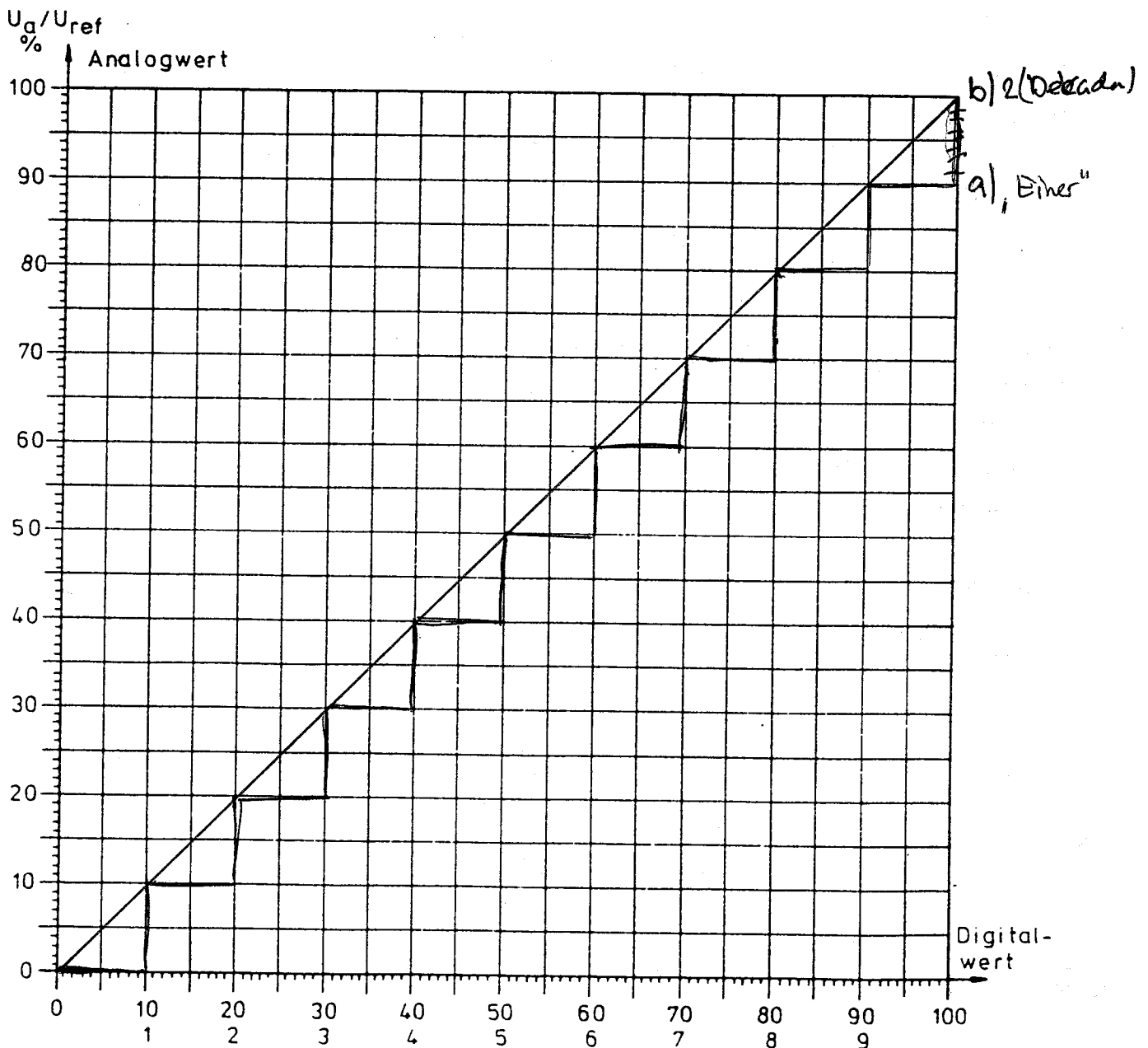
... bei einem Wandler für BCD-Codes

a) Eine Dekade

Bei 10 nacheinander angelegten, von 0 auf 9 steigenden Digitalwerten steigt U_a von 0 auf 0,9 in 9 Stufen an.

b) Zwei Dekaden

Bei 100 nacheinander angelegten, von 0 auf 99 steigenden Digitalwerten steigt U_a von auf in Stufen an.



Bei A/D-Wandlern unterscheidet man

- direkte Wandler: die analoge Eingangsgröße (hier immer Spannung) wird direkt digitalisiert
- indirekte Wandler: die analoge Eingangsgröße wird in eine andere analoge Größe umgesetzt, die sich leicht digitalisieren lässt

1.2.4. Direkte A/D-Wandler mit Spannungseingang

Prinzip: Die analoge Spannung U_x wird mit abgestuften Spannungswerten, denen *Code-Zeichen* zugeordnet sind, verglichen.

a) **Parallele A/D-Wandler** enthalten so viele abgestufte Referenzspannungen und Vergleicher, wie die Digitalgröße *an Stufen* unterscheidet. U_x wird gleichzeitig mit allen Referenzspannungen verglichen. Es sprechen alle Vergleicher an, für die $U_x > U_{ref}$ ist. Von den ansprechenden Vergleichen kennzeichnet der mit der *nächsten* Referenzspannung den Digitalwert.

Vorteil: *Schnellster* Wandlertyp

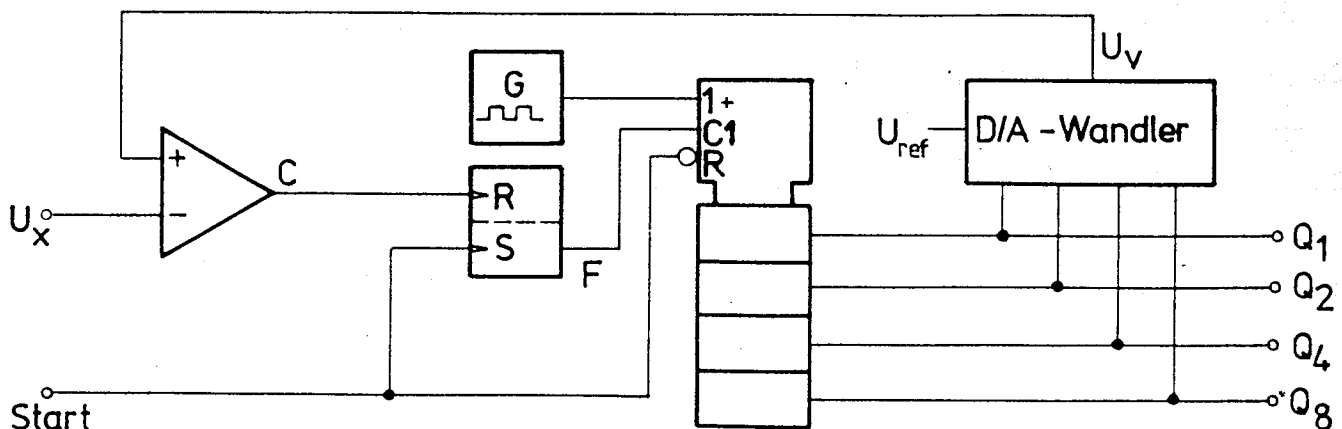
Nachteil: *Sehr hoher*, mit der Zahl der Digitalstellen ansteigender Schaltungsaufwand.

b) **Serielle A/D-Wandler** enthalten nur einen Vergleicher, dem die einzelnen Stufen der Referenzspannung *nacheinander* zugeführt werden. Die treppenförmige Vergleichsspannung wird mit einem *D/A-Wandler* erzeugt.

Vorteil: *geringer* Schaltungsaufwand

Nachteil: *hohe*, häufig von U_x abhängige Umsetzzeit

Beispiel: Stufenwandler



1.2.5. Indirekte A/D-Wandler

Das Prinzip dieser Analog-Digital-Wandler mit Spannungseingang beruht darauf, dass die Eingangsspannung zunächst

- a) in eine proportionale Zeit t_x oder
- b) in eine proportionale Frequenz f_x umgewandelt wird.

Diese wird anschliessend durch einen Zähler digital erfasst. Hierzu ist ein zusätzlicher Rechteckgenerator erforderlich, der bei

- a) Zählerimpulse mit bekannter Frequenz f_n und
- b) ein Rechteck mit bekannter Dauer t_n liefert.

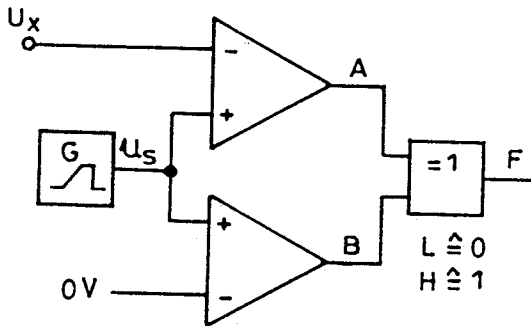
<p>Blockschaltbilder:</p> <p>a) mit Spannungs-Zeit-Wandler</p> <p>b) mit Spannungs-Frequenz-Wandler</p>	<p>a)</p>	<p>b)</p>
<p>Spannung an Punkt A: proportional zu U_x</p>		
<p>Spannung an Punkt B: vom zusätzlichen Rechteckgenerator</p>		
<p>Spannung an Punkt Z: vom Zähler zu zählende Impulse</p>		

1.3. Sägezahnwandler

A/D-Wandler nach dem Sägezahnverfahren arbeiten mit Spannung-Zeit-Umsetzung (Verfahren a auf vorheriger Seite). Sie eignen sich für Gleichspannungen beider Polaritäten, daher besitzen sie eine Zusatzschaltung zur Polaritätserkennung.

1.3.1. Spannungs-Zeit-Umsetzer

Die Schaltung besteht aus zwei Operationsverstärkern, die als Vergleicher geschaltet sind, einer Antivalenzschaltung und einem Sägezahngenerator.



Vergleicher A:

Vergleich der Sägezahnspannung u_s mit U_x .

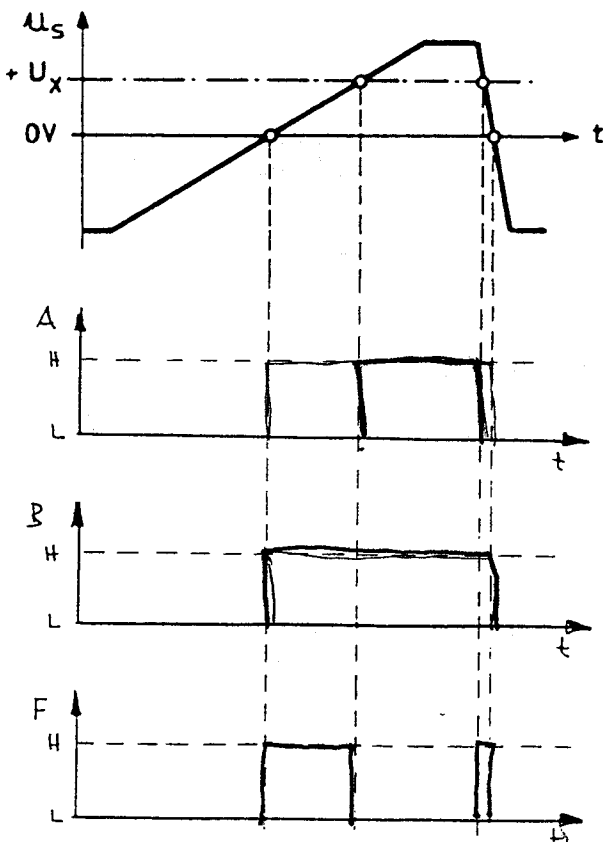
Ausgang A ist positiv, wenn $u_s > U_x$ ist.

Vergleicher B:

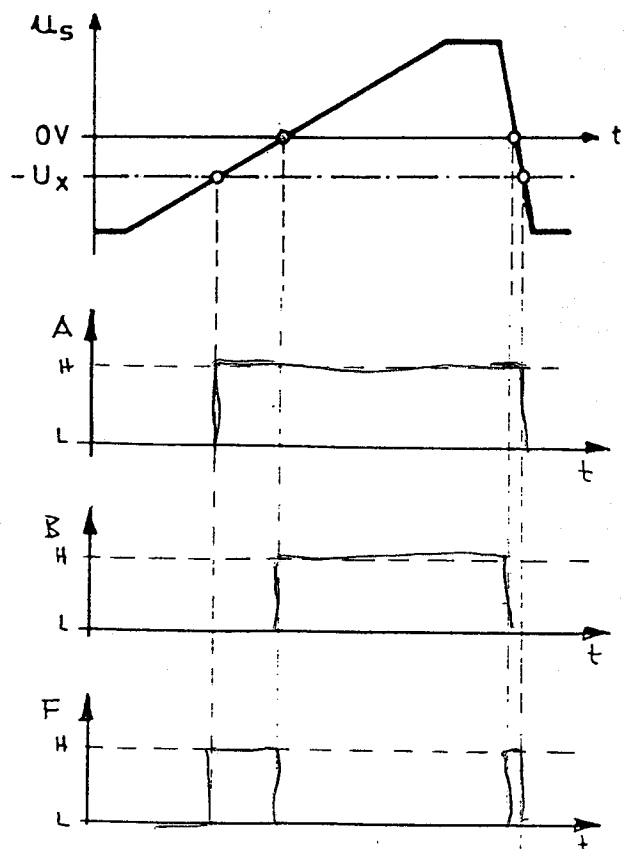
Vergleich der Sägezahnspannung u_s mit 0 Volt.

Ausgang B ist positiv, wenn $u_s > 0V$ ist.

Positive Spannung U_x



Negative Spannung U_x

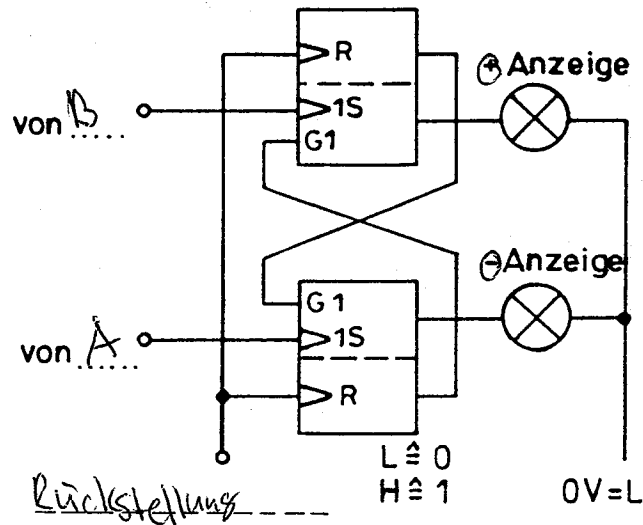


1.3.2. Polaritätserkennung

Aus den Diagrammen von vorhergehender Seite geht hervor, dass die Zeit t_x proportional zu U_x , aber unabhängig von der Polarität der Spannung U_x ist. Somit kann der Wandler also positive und negative Eingangsspannungen verarbeiten. Das Kriterium zur Polaritätserkennung ist die der positiven Potentialsprünge an A und B.

- a) Die Spannung U_x ist positiv, wenn vor auf positive Werte ansteigt.
- b) Die Spannung U_x ist negativ, wenn vor auf positive Werte ansteigt.

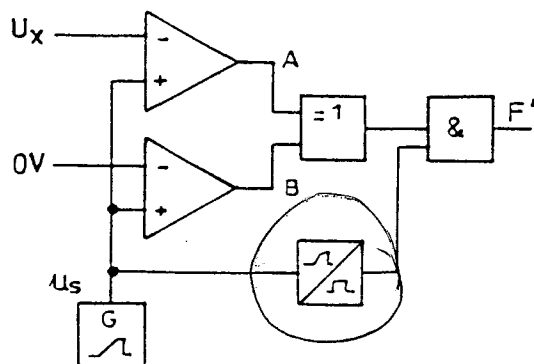
Diese Potentialsprünge steuern zwei gegeneinander verriegelte Kippschaltungen so, dass nur die zuerst angesteuerte in den Setzzustand kippen kann und die vorliegende Polarität zur Anzeige bringt.



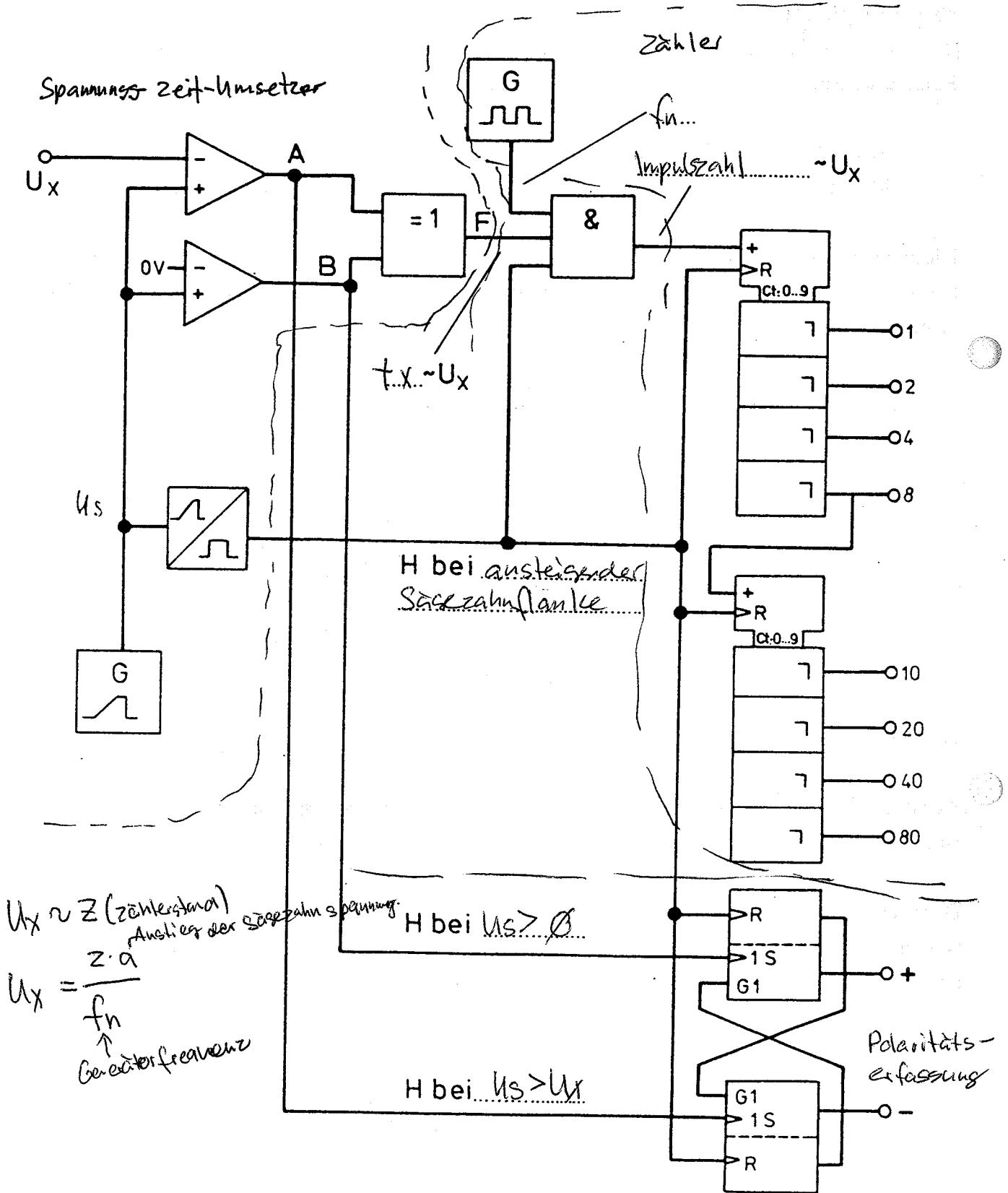
1.3.3. Störpulsunterdrückung

Aus den Diagrammen von vorhergehender Seite geht weiter hervor, dass die Störimpulse nur während der abfallenden Flanken der Sägezahnspannung auftreten.

Durch eine Rechteckspannung mit H-Pegel nur während der anstiegenden Sägezahnflanken werden Störimpulse in dem um eine UND-Schaltung erweiterten Spannungs-Zeit-Umsetzer ausgeblendet. Die Rechteckspannung entsteht durch Differenziation der Sägezahnspannung.



1.3.4. A/D-Wandler für zweistellige Dezimalanzeige



1.3.3. Abhängigkeit zwischen U_x und Zählerstand z

Der Zählerstand z ist neben der Eingangsspannung U_x abhängig

von der Frequenz f_n der Zählimpulse
 und vom Anstieg a der Sägezahnspannung

Es gilt die Formel: $z = U_x \frac{f_n}{a}$

Beispiele:

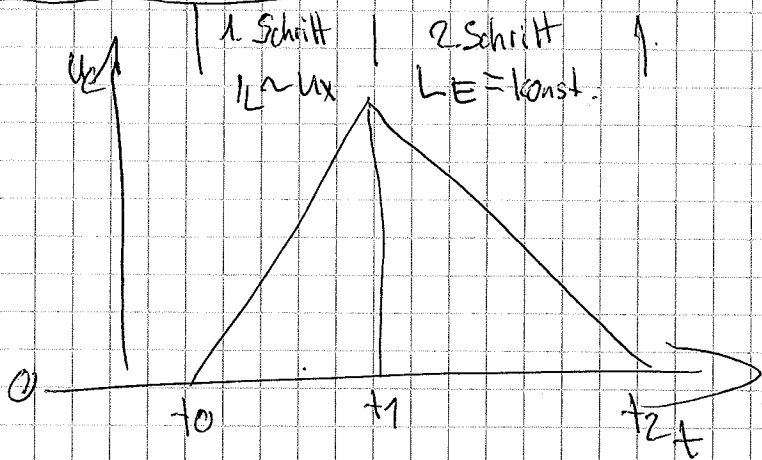
- 1.) $U_x = 4 \text{ V}$, $f_n = 10 \text{ kHz}$, $a = 1 \text{ V/ms}$ $z = 40$
- 2.) $U_x = 4 \text{ V}$, $f_n = 5 \text{ kHz}$, $a = 1 \text{ V/ms}$ $z = 20$
- 3.) $U_x = 4 \text{ V}$, $f_n = 10 \text{ kHz}$, $a = 0,5 \text{ V/ms}$ $z = 80$
- 4.) $U_x = 4 \text{ V}$, $f_n = 5 \text{ kHz}$, $a = 0,5 \text{ V/ms}$ $z = 40$

Der Zählerstand z zeigt nur dann die Ziffernfolge der Eingangsspannung U_x , wenn das Verhältnis $\frac{f_n}{a}$ gleich 1 oder einer vollen Zehnerpotenz pro V ist.

Bei Beispiel 1 ist $\frac{f_n}{a} = \dots\dots\dots$, deshalb ist die Ziffernfolge
 $z = \dots\dots\dots$ bei $U_x = 4 \text{ V}$.

Zur Erleichterung der Ablesung wird das Wandlerverhältnis $\frac{f_n}{a}$ meistens mit 1/V oder einer vollen Zehnerpotenz/V gewählt.

A/D-Wandler nach dem Dual-Slope-Verfahren



Verfahren:

1. I_L über eine konstante Zeitdauer geladen.
→ Ladepannung & Messspannung U_x
2. Kondensator wird mit einem konstanten Strom I_E entladen
→ Entladungsdauer t_E & Messspannung U_x

7.1.4 Codierung

Allgemein versteht man unter Codierung die Umsetzung einer Nachricht in eine andere Form. Hierbei muß eine Zuordnung zwischen beiden benutzten Zeichenvorräten bestehen (siehe DIN 44300). Die Umsetzung erfolgt in einen Zeichenvorrat, der für die zu lösende Aufgabe besser geeignet ist. Für Anwendungen in der digitalen Regelungstechnik könnten u. a. folgende Forderungen bestehen:

- beim Übertragen von Informationen sollen Übertragungsfehler erkennbar oder sogar korrigierbar sein,
- beim Speichern ist eine Darstellung zweckmäßig, die möglichst wenig Speicherplatz erfordert,
- bei der Analog-Digital-Umsetzung von Strecken und Winkeln sind Codes erforderlich, mit denen Abtastfehler vermieden werden.

Man bezeichnet die aus den Elementen des Zeichenvorrats gebildeten Kombinationen als *Datenwörter*. Die im jeweiligen Code verwendeten bilden den Wortvorrat der *Codewörter*. Für die vorgesehene Anwendung haben nur binäre Codes Bedeutung. Die Zahl der Stellen im Codewort ist deshalb in Bit angegeben.

1 Bit (= 1 binary digit) = 1 Binärzeichen

1 KBit = 2^{10} Bit = 1024 Bit

Einige wichtige Codes zur Darstellung numerischer Informationen enthält die Tabelle von Bild 7.4. n Binärzeichen im Codewort ergeben 2^n Kombinationen. Die nicht zur Darstellung der Informationen benutzten Codewörter bilden die *Redundanz* des Codes. Redundante Kombinationen werden in Prüfschaltungen zur Fehlererkennung ausgenutzt.

Falls außer Zahlen auch Buchstaben und Zeichen als Bitmuster darzustellen sind, müssen alphanumerische Codes verwendet werden. Überwiegend findet der ASCII-Code (American Standard Code for Information Interchange) Anwendung.

7.2 Signalumsetzung

Ein Analog-Digital-Umsetzer (ADU) ist eine meßtechnische Funktionseinheit, die eine analoge Größe ihrem Zahlenwert entsprechend in eine mit Binärzeichen codierte Darstellung umsetzt. Der Digital-Analog-Umsetzer (DAU) führt die Umsetzung von der digitalen in die analoge Darstellung aus. Neben der Angabe des Ein- bzw. Ausgangscodes sind zur Kennzeichnung des Umsetzers u. a. Angaben über Ein- bzw. Ausgangsspannung, Umsetzzeit und Umsetzgenauigkeit erforderlich. Bild 7.5 zeigt die zur AD-Umsetzung erforderliche Meßkette. Die Meßgröße wird vom Meßfühler aufgenommen, analog abgebildet und in ein analoges elektrisches Einheitssignal umgeformt. Dieses Signal verarbeitet der ADU.

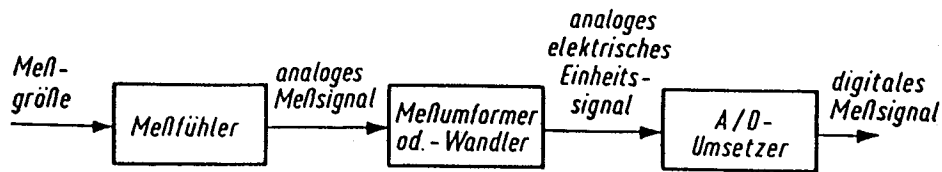


Bild 7.5 Blockschaltung der Meßkette für eine Analog-Digital-Umsetzung

7.2.1 ADU für mechanische Größen

Besonders in numerisch gesteuerten Maschinen müssen Strecken, Winkel und Drehzahlen digital gemessen werden. Beim *inkrementalen* Verfahren (Bild 7.6) wird die zu messende Strecke oder der zu messende Winkel mit einem Strich-Raster versehen. Eine Rasterbewegung erzeugt bei optoelektronischer Abtastung Impulse, die ein Zähler auswertet. Der Zählerstand (Anzahl der gezählten Impulse) ist ein Maß für die Strecke, den Winkel oder die Drehzahl. Zur Erfassung der Bewegungsrichtung sind besondere Maßnahmen erforderlich.

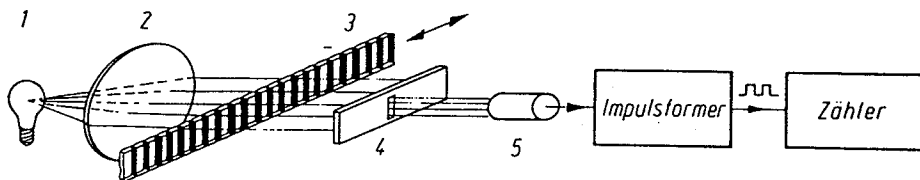


Bild 7.6 Abgriffsverfahren mit Strichlineal und optoelektronischer Zählimpulserzeugung
1 Glühlampe, 2 Kondensator, 3 Strichlineal, 4 Schlitzblende, 5 Fotodiode

Absolut arbeitende Umsetzer verwenden ein *Codelineal* oder eine *Codescheibe* (Bild 7.7). Dadurch ist jedem Weg- oder Winkelschritt ein eindeutig binärer Ausdruck zugeordnet. Zur Markierung der Schritte werden Codes benutzt, die sich beim Übergang von einer Information zur anderen nur in einer Binärstelle ändern. Es sind dies einschrittige, progressive Codes. Dadurch werden Falschinformationen, die bei der Abtastung mehrschrittiger Codes entstehen können, vermieden.

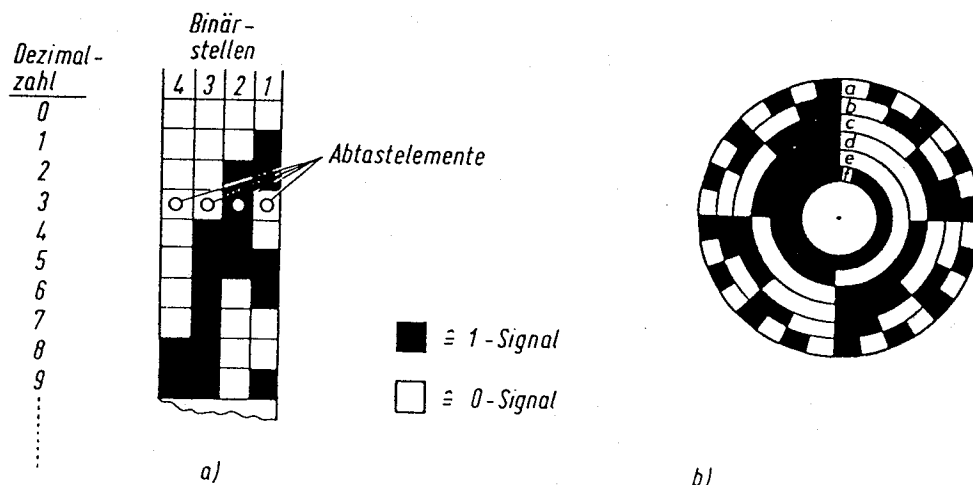


Bild 7.7 a) Ausschnitt aus einem Code-Lineal mit Gray-Code; b) Code-Scheibe
■ ≙ 1-Signal, □ ≙ 0-Signal

7.2.2 ADU für elektrische Größen

Alle nachstehend beschriebenen Umsetzer benötigen ein analoges elektrisches Eingangssignal. Es muß als Gleichspannung oder Gleichstrom zur Verfügung stehen. In computergesteuerten Regelsystemen haben die ADUs die herkömmlichen analogen Meßgeräte fast völlig verdrängt.

Vom Grundprinzip her sind zu unterscheiden:

- Umsetzer, bei denen die analoge Meßgröße (Gleichspannung) mit einer linearen Sägezahnspannung verglichen und die Meßzeit durch Impulse ausgezählt wird.
- Umsetzer, bei denen ein Komparator die analoge Meßgröße (Gleichspannung) mit einer Referenzspannung vergleicht.

Innerhalb der beiden Gruppen gibt es eine Vielzahl schaltungstechnischer Varianten.

7.2.2.1 ADU nach dem Sägezahnverfahren

Die Meßgröße ist proportional der Spannung U_x . Das Gerät arbeitet nach dem Prinzip des Spannungsvergleiches. Gemessen wird die Zeit, die eine sägezahnförmig verlaufende Vergleichsspannung mit $dU/dt = \text{konst.}$ braucht, den gleichen Wert wie die Meßspannung U_x zu erreichen.

Bild 7.8 zeigt den zeitlichen Verlauf der Signalspannungen und die Blockschaltung des Umsetzers. Ein quarzstabilisierter Impulsgenerator erzeugt Spannungsimpulse (z.B. $f = 10\,000\text{ Hz}$). In einem Sägezahngenerator wird die sägezahnförmig verlaufende Vergleichsspannung hergestellt. Sie erreicht beispielsweise vom Startsignal aus gerechnet den Spannungsspitzenwert von 10 V innerhalb einer Sekunde. Somit entspricht ein Impuls einer Spannungsänderung von 1 mV. Das Startsignal öffnet eine elektronische Torschaltung. Während der Öffnungszeit gelangen die Zählimpulse zur Zähleinheit und werden von dieser digital angezeigt. Sobald $U_v = U_x$ ist, entsteht im Komparator ein Stop-Signal und schließt die Torschaltung. Mit den angenommenen Zahlenwerten entspricht die Impulszahl dem Spannungswert der Meßspannung in mV. Vor Beginn einer neuen Messung muß dann der Zähler gelöscht und auf Null gesetzt werden.

Von der gewünschten Meßfolge und Meßgenauigkeit ist die Frequenz des Impulsgenerators abhängig; üblich sind Frequenzen im Bereich von 0,01 bis 10 MHz und Meßzeiten zwischen 0,1 s und 10 μs ; Linearität des Sägezahnes und Frequenzkonstanz bestimmen die Meßgenauigkeit. Das Meßergebnis entspricht dem Momentanwert der Meßgröße.

7.2.2.2 Umsetzer nach dem Dual-Slope-Verfahren

Das Prinzip ist ähnlich dem des Sägezahnverfahrens, gemessen wird jedoch der Mittelwert; auch ist der Einfluß von Linearitäts- und Frequenzfehlern auf ein Minimum reduziert. Bild 7.9 zeigt das Grundprinzip. Der Kondensator C des Integrators wird während einer genau definierten Zeit von der Meßspannung U_x aufgeladen. Der Ladezustand von C ist damit proportional der Meßgröße U_x . Anschließend wird über den Analogschalter eine konstante Gegenspannung an den Eingang des Integrators

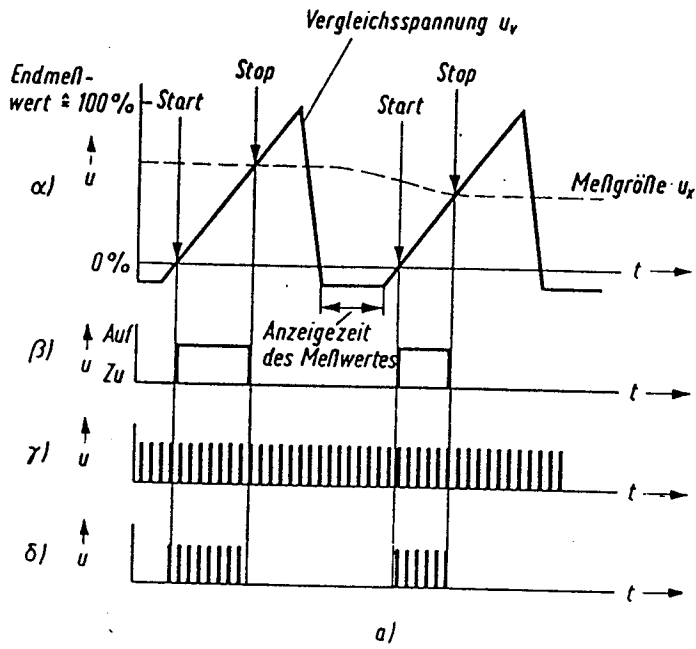


Bild 7.8

- a) Signale im Sägezahnumsetzer
- α zeitlicher Verlauf von Meß- und Vergleichsspannung
- β Öffnungssignal des Tores
- γ Ausgangsimpulse des Impulsgenerators
- δ Zählimpulse
- b) Signalflußbild des Sägezahn-umsetzers

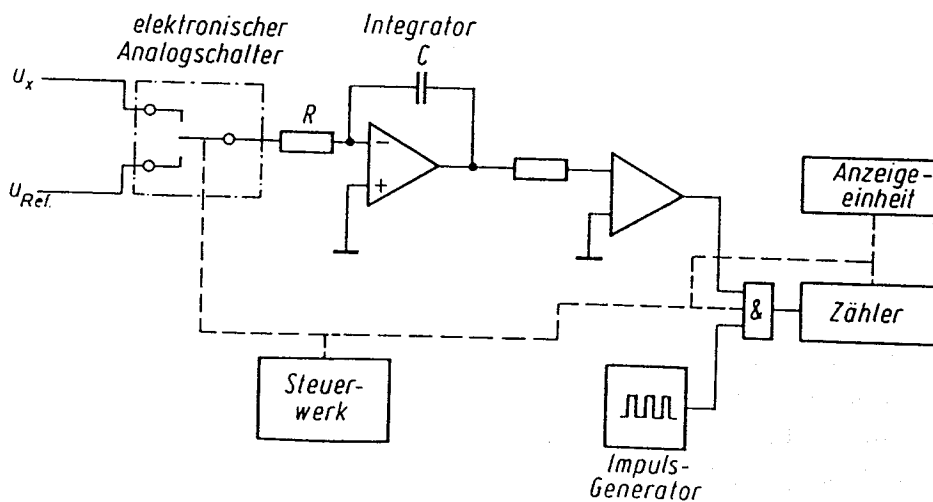
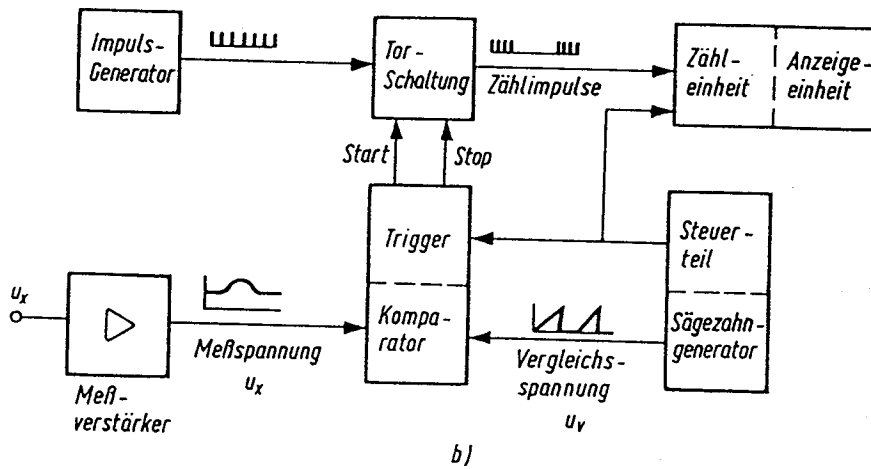


Bild 7.9 Blockschaltung des Dual-Slope-ADU

gelegt. Sie bewirkt eine zeitproportionale Entladung des Kondensators. Die Entladezeit bis zur Bezugsspannung (meist 0 V) wird mit Taktimpulsen gemessen, deren angezeigte Zahl ein Maß für die Meßspannung U_x ist.

Umsetzer der verschiedenen Verfahren stehen heute bereits als integrierte Halbleiterschaltungen zur Verfügung, die nur noch eine minimale äußere Beschaltung erfordern.

7.2.3 DAU für elektrische Größen

Auch bei digitaler Verarbeitung des Regelsignals kann zur Betätigung des Stellgliedes ein analoges Signal erforderlich sein. Der Digitalwert ist deshalb in einen entsprechenden Analogwert umzusetzen. Man unterscheidet dabei zwischen direkter und indirekter Umsetzung.

Für die direkte Umsetzung zeigen die Bilder 7.10 und 7.11 Beispiele.

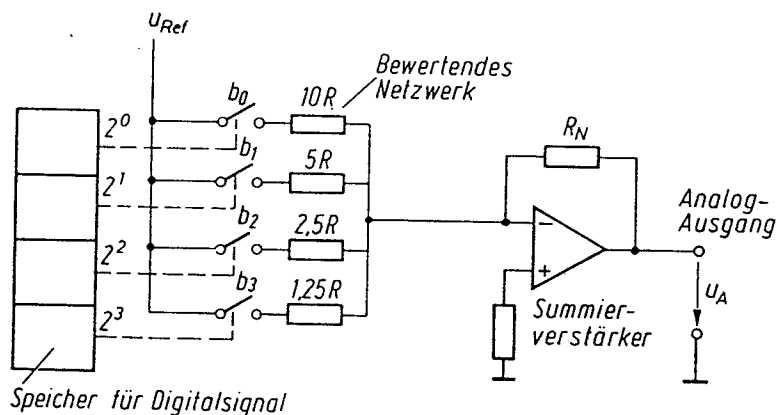


Bild 7.10 DAU mit bewerteten Widerständen

Mit dem Digitalsignal wird über elektronische Schalter ein *bewertetes Netzwerk* gesteuert, das zusammen mit einem Operationsverstärker als Summierverstärker aufgebaut ist. Die Spannungsverstärkungen der Zweige sind dual abgestuft. Im Beispiel ist das Grundprinzip des DAU für 4 Bit dargestellt; für ein dual abgestuftes Digitalsignal am Eingang beträgt die Analogspannung am Ausgang beispielsweise:

$$U_A = -U_{\text{Ref}} \left(b_0 \frac{1}{10} + b_1 \frac{1}{5} + b_2 \frac{1}{2,5} + b_3 \frac{1}{1,25} \right) \frac{R_N}{R}.$$

$$b_i = 1 \quad \text{Schalter geschlossen}$$

$$b_i = 0 \quad \text{Schalter offen}$$

Häufig verwendet wird das Prinzip des $R/2R$ -Umsetzers. Er ist mit einem *Kettenleiter* aufgebaut, der nur die beiden Widerstandswerte R und $2R$ enthält. Die Schaltung in Bild 7.11 wandelt ein 4-Bit-Digitalsignal in ein Analogsignal um. Beim Zustand 0 schaltet S_i den betreffenden $2R$ -Widerstand an Masse, bei Zustand 1 liegt $2R$ über S_i an der Referenzspannung. Bei einer beliebigen Bitkombination des Eingangssignals erhält man den Gesamtstrom im Eingangswiderstand des OP durch Superposition der Einzelströme im Kettenleiter, die Gesamtspannung entsteht durch Addition der Einzelspannungen:

$$U_A = -\frac{U_{\text{Ref}}}{24} (b_0 + b_1 \cdot 2^1 + b_2 \cdot 2^2 + b_3 \cdot 2^3).$$

In der Praxis sind die Schalter S_i durch Halbleiterschalter ersetzt. Das $R/2R$ -Verfahren eignet sich besonders gut für die integrierte Schaltungstechnik.

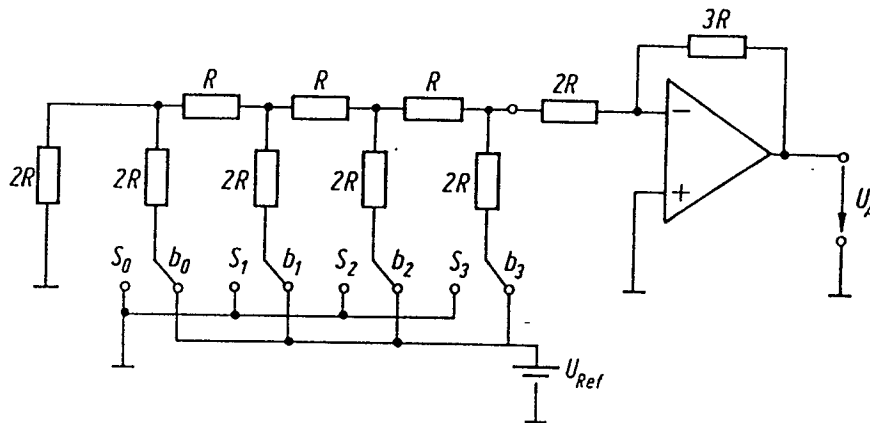


Bild 7.11 DAU mit $R/2R$ -Kettenleiter
 S_i elektronische Umschalter

Das umzusetzende Datenwort betätigt die elektronischen Umschalter S_i ($i = 0 \dots 3$)

Die indirekte Digital/Analog-Umsetzung kann z.B. mit einem Schrittmotor entsprechend der Schaltung nach Bild 7.12 erfolgen. Der Digitalwert ist in einem Zähler zwischengespeichert. Mit einem Impulsgenerator werden Schaltimpulse erzeugt, die über das Tor zum Schrittmotor und zum Zähler (hier ein Rückwärtszähler) gelangen. Sobald dieser durch die Schaltimpulse auf Null gesetzt ist, gelangt über die ODER-Schaltung kein 1-Signal mehr auf das Tor und es schließt. Der Motor wird dabei nur um die in den Zähler eingespeicherte Schrittzahl gedreht. Indirekte Umsetzer arbeiten grundsätzlich langsamer als direkte.

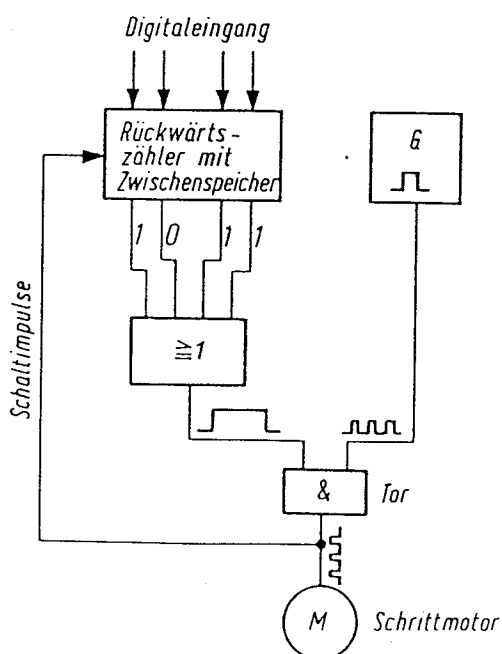
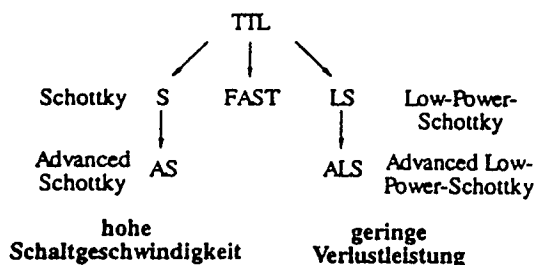


Bild 7.12

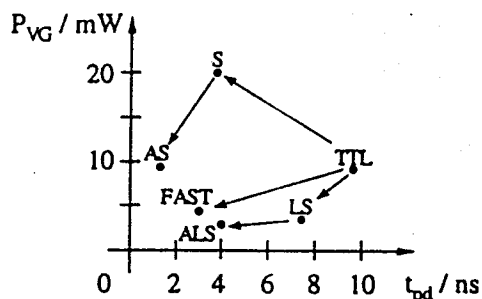
Indirekte Digital-Analog-Umsetzung
mit Schrittmotor

Technologie der integrierten Digitalschaltungen

Die Entwicklung TTL-Schottky Schaltkreise zeigt zwei Zielrichtungen: hohe Schaltgeschwindigkeit und geringe Verlustleistung.



a) Entwicklungslinien



b) Verlustleistungs-Verzögerungs-Diagramm

Eigenschaften und Einsatzgebiete der Schaltkeisfamilien

Schaltungs-familie	Haupteinsatzgebiet	entscheidende Vorteile	entscheidende Nachteile	Integrations-grad
TTL	diskrete Schaltungen, Prototypen	robust, geringe Kosten	Geschwindigkeit, Verlustleistung	$\leq 10k$ Gatter
ECL	Rechenanlagen, Meßsysteme: diskrete Aufbauten und VLSI	Geschwindigkeit, Treiberfähigkeit, direkt symmetrische Übertragung	Verlustleistung	$\leq 50k$ Gatter (Gate Array)
CMOS	verbreiteste Technik: diskrete Aufbauten, VLSI, ULSI Rechenanlagen: Mikroprozessoren, PCs, Workstations, CISC, RISC, Konsumbereich, Medizin Anlagensteuerung, ... Telekommunikation, ...	geringer Aufwand dynamische Technik \Rightarrow hoher Integrationsgrad, kostengünstig, geringe Verlustleistung, bei niedrigen Schaltfrequenzen hoher Störabstand, Variationsfähigkeit	keine sehr schnellen Schaltungen, Verlustleistung steigt prop. mit Schaltfrequenz, Latchup-Gefahr	Gate Arrays: $\leq 1000k$ Gatter Mikroprozessoren: $\leq 1000k$ Gatter Speicher (DRAM): $\leq 4000k$ Gatter
BiCMOS	evtl. CMOS-Nachfolger, Rechenanlagen als Konkurrenz zu ECL, sonst wie CMOS	wie CMOS, aber verbessertes Treiberverhalten (RAM), Geschwindigkeit	Aufwand, Kosten, Verlustleistung steigt prop. mit Schaltfrequenz, Latchup-Gefahr	$\leq 130k$ Gatter (Gate Arrays)
GaAs	Rechenanlagen (CONVEX), RISC, Meßsysteme: vorwiegend LSI	höchste Geschwindigkeit, Strahlungsresistenz, Kombination mit Komponenten	höchste Kosten geringer Integrationsgrad, Testkosten	SCFL: ≤ 300 Gatter DCFL: ≤ 14000 Gatter (Vitesse)

Eigenschaften der Schaltkreisfamilien

Grenzfrequenz f_{max}	
Frequenz die ohne Fehler halbiert wird.	
<i>Beispiele TTL:</i>	
Low Power:	3MHz
Schottky:	130MHz
Low power Schottky:	50MHz
Advanced Schottky:	200MHz
Advanced low power Schottky:	50MHz
<i>Beispiele CMOS ($U_{DD} = 5V$):</i>	
Serie 74C....; Serie 4000:	1,5MHz
Serie 74HC....:	30MHz

Klassierung der IC nach Komplexität:

Bezeichnung	Integrationsgrad	aktive Elemente	Beispiele
Small Scale Integration SSI	niedrig	<10	Gates, einfache FF
Medium Scale Integration MSI	mittel	<1'000	Zähler, Decoder, Register
Large Scale Integration LSI	hoch	<100'000	Speicher, Addierer, ALU
Very Large Scale Integration VLSI	sehr hoch	>100'000	uP, Peripheriebausteine, Speicherbausteine
Beispiel:	INTEL	80286: ca.150'000 80486: > 1 Mio,	

Begriffe für technische Kenndaten

Abkürzung	deutsch	englisch
V_{CC}, V_{DD}	Versorgungsspannung	Supply voltage
T_A	Umgebungstemperatur	Ambient temperature
V_{IH}	Eingangsspannung bei "1"	High-level input voltage
V_{IL}	Eingangsspannung bei "0"	Low-level input voltage
V_{OH}	Ausgangsspannung bei "1"	High-level output voltage
V_{OL}	Ausgangsspannung bei "0"	Low-level output voltage
I_{CC}	Versorgungsstrom	Supply current
I_{IH}	Eingangsstrom bei "1"	High-level input current
I_{IL}	Eingangsstrom bei "0"	Low-level input current
I_{OH}	Ausgangsstrom bei "1"	High-level output current
I_{OL}	Ausgangsstrom bei "0"	Low-level output current

DIGITALTECHNIK		H. Blaser	D113
Allg. Eigenschaften von integrierten Schaltungen		Datum: 06.08.92	Seite: 2 (5)
<i>Beispiele:</i>			
Standard TTL			
fan-out		fan-in	
"1"	10 (= -400uA)	"1"	1 (= 40uA)
"0"	10 (= 16mA)	"0"	1 (= -1,6mA)
Low Power TTL			
fan-out		fan-in	
"1"	"1" 20 (= -400uA)	"1"	1 (= 20uA)
"0"	"0" 20 (= 8mA)	"0"	1 (= -0,4mA)
CMOS: Angabe "fan-out" in Anzahl Low Power TTL Eingänge (z.B. 2)			

5. Logische Zustände und Übergangszone

Ausgang		Eingang	
$U_{aus(0)max}$:	max. zulässige Spannung für "0".	$U_{ein(0)max}$:	max. Spannung, die als "0" interpretiert wird.
$U_{aus(1)min}$:	min. zulässige Spannung für "1"	$U_{ein(1)min}$:	min. Spannung, die als "1" interpretiert wird
<i>Beispiel für TTL:</i>			
$U_{aus(0)max} =$	0,4V	$U_{ein(0)max} =$	0,8V
$U_{aus(1)min} =$	2,4V	$U_{ein(1)min} =$	2,0V
<i>Beispiel für CMOS ($U_{DD} = 5V$):</i>			
$U_{aus(0)max} =$	0,05V	$U_{ein(0)max} =$	1,0V
$U_{aus(1)min} =$	4,95V	$U_{ein(1)min} =$	4,0V

Der Bereich ausserhalb der Grenzwerte heisst Übergangszone. In der Übergangszone arbeitet der IC nur kurze Zeit während dem Übergang von logisch "1" auf logisch "0" und umgekehrt. Im statischen Zustand ist die Übergangszone verboten.

6. Garantierter Störabstand

Die Spannungsifferenz der Grenzwerte vom Ausgang zum Eingang wird als garantierter Störabstand bezeichnet.

$$GSA(0) = U_{ein(0)max} - U_{aus(0)max}$$

$$GSA(1) = U_{ein(1)min} - U_{aus(1)min}$$

Beispiel für TTL:

$$GSA(0) = 0,8V - 0,4V = 0,4V$$

$$GSA(1) = 2,0V - 2,4V = -0,4V$$

Bipolar gesättigt:						
Logikfamilie	Speisung [V]	Leistung/Gate	Signallaufzeit	Beispiele	Bemerkungen	
Dioden-Logik DL	---	---	---	diskreter Aufbau	als IC nicht (mehr) verwendet	
Widerstand-Transistor-Logik RTL	3V	20mW	20ns	einfache Gates (SSI)	veraltet	
Dioden-Transistor-Logik DTL	5V	15mW	30ns	einfache Gates (SSI)	veraltet	
Langsame störsichere Logik HTL	12V bis 15V	30mW	20ns	einfache Gates (SSI)	veraltet	
Transistor-Transistor-Logik TTL						
Low Power TTL (L)	5V	1mW	33ns	SSI, MSI, (LSI)	sehr grosses Angebot	
Schottky TTL (S)	5V	20mW	3ns	SSI, MSI, (LSI)	sehr grosses Angebot	
Low Power Schottky TTL (LS)	5V	2mW	10ns	SSI, MSI, (LSI)	sehr grosses Angebot	
Advanced Schottky TTL (AS)	5V	20mW	15ns	SSI, MSI, (LSI)	grosses Angebot	
Advanced Low Power Schottky TTL (ALS)	5V	1mW	5ns	SSI, MSI, (LSI)	grosses Angebot	
Bipolar nicht gesättigt:						
Emitter gekoppelte Logik ECL	- 5,2V	25mW	5ns	SSI, (MSI)	zeitkritische Anwendungen	
Integrated Injection-Logik I ² L	diverse	einige uW	<10ns	kundenspezifische IC	Analog und digital	
MOS: (Metal-Oxide-Semiconductor)						
p-MOS	- 12V	---	100ns	Speicherbausteine	keine grosse Bedeutung	
n-MOS	3V bis 15V	---	50ns	ältere uP ((8080, 6800) Speicherbausteine	TTL-kompatibel, verlieren an Bedeutung	
CMOS	3V bis 15V	2 bis 5mW	150ns † 20ns	SSI, MSI, LSI, VLSI, Intel: 80286, 386, 486 Motorola: 68000er Familie	sehr grosses Angebot, heute fast so schnell wie ALS-TTL, Zukunft	
H-CMOS	3V bis 15V	5mW	werden immer schneller			
Bi-CMOS					auf dem gleiche Chip bipolare (zeitkritische) und CMOS (Rest) Schaltkreise.	